

日本国特許庁
JAPAN PATENT OFFICE

RS
#

2

1-25-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年12月5日

出願番号

Application Number:

特願2000-369354

出願人

Applicant(s):

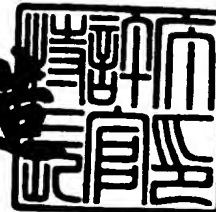
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出願番号 出願特 2001-2070000

【書類名】 特許願

【整理番号】 66206322

【あて先】 特許庁長官殿

【国際特許分類】 H03M 9/00
H04L 7/02
G06F 13/38

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 棚橋 俊夫

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088890

【弁理士】

【氏名又は名称】 河原 純一

【手数料の表示】

【予納台帳番号】 009690

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001717

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低レーテンシ高速伝送システム

【特許請求の範囲】

【請求項 1】 送信側に複数の第 1 のトランスミッタ回路を、受信側に複数の第 1 のデータ処理回路をそれぞれ備え、前記第 1 のトランスミッタ回路と前記第 1 のデータ処理回路とが伝送路を介して一対一に接続された高速伝送システムにおいて；

前記第 1 のデータ処理回路（600）のデータ信号のサンプリングクロックのタイミングを調整する DLL 回路（620）を調整させるために、第 2 のトランスミッタ回路（300）、伝送路（900）および第 2 のデータ処理回路（700）を設置し、第 2 の特定信号列が送出されたときに、前記第 2 のデータ処理回路（700）から調整開始信号を分配させ、調整信号列により、前記 DLL 回路（620）の調整を行わせ、シリアルーパラレル変換したデータ信号に第 1 の特定信号列が検出された次のビットからデータを FIFO 回路（660）に書き込み、同時に前記第 2 のデータ処理回路（700）にきた第 3 の特定信号列からシステムクロック（CLKSYS）に同期したリードアドレスを発生することによりデータの復元を行うことを特徴とする低レーテンシ高速伝送システム。

【請求項 2】 前記第 1 のトランスミッタ回路（200）および前記第 2 のトランスミッタ回路（300）に分配される、システムクロック（CLKSYS）に同期した $n/2$ 通倍の周波数の伝送用クロックを、第 1 のアナログ PLL 回路（100）からドライバ（140）、伝送路（1000）およびレシーバ（540）を介して前記第 1 のデータ処理回路（600）および前記第 2 のデータ処理回路（700）に分配することを特徴とする請求項 1 記載の低レーテンシ高速伝送システム。

【請求項 3】 送信側に複数のトランスミッタ回路を、受信側に複数のデータ処理回路をそれぞれ備え、前記トランスミッタ回路と前記データ処理回路とが伝送路を介して一対一に接続された高速伝送システムにおいて；

入力パラレルデータ信号を分割して該入力パラレルデータ信号を作成したシステムクロック（CLKSYS）または該システムクロック（CLKSYS）と同じ

周波数のクロックによりデータを受け取る n (2の倍数) ビットレジスタ (210) と、システムクロック (CLKSYS) に同期した $n/2$ 通倍の周波数の伝送用クロックまたは該伝送用クロックを分周したクロックを用いて前記 n ビットレジスタ (210) の出力であるパラレルデータ信号をシリアルデータ信号に変換するパラレルーシリアル変換回路 (220, 230) とを含む複数の第1のトランスミッタ回路 (200) と;

任意または一定の周期で前記第1のトランスミッタ回路 (200) から無効データ列、確実に1, 0に変化する調整信号列、および第1の特定信号列が出るとき、無効データ列と第2の特定信号列との開始時期が同じで、第1の特定信号列と第3の特定信号列との終了時期が同じように、第2の特定信号列、確実に1, 0に変化する調整信号列、および第3の特定信号列を発生する調整制御論理回路 (400) と;

システムクロック (CLKSYS) または該システムクロック (CLKSYS) と同じ周波数のクロックにより前記調整制御論理回路 (400) の出力信号を受け取る n ビットレジスタ (310) と、この n ビットレジスタ (310) の出力であるパラレルデータ信号をシステムクロック (CLKSYS) に同期した $n/2$ 通倍の周波数の伝送用クロックまたは該伝送用クロックを分周したクロックを用いてシリアルデータ信号に変換するパラレルーシリアル変換回路 (320, 330) とを含む第2のトランスミッタ回路 (300) と;

前記第1のトランスミッタ回路 (200) で使用した伝送用クロックに同期したシステムクロック (CLKSYS) の $n/2$ 通倍の周波数である伝送用クロックを入力とするDLL回路 (620) の出力と前記第1のトランスミッタ回路 (200) からのシリアルデータ信号とを位相比較し、データを中心にサンプリングタイミングを有するようにサンプリングクロックを調整するDLL回路 (620) と、シリアルデータ信号をサンプリングクロックによりサンプリングしてパラレルデータ信号に変換するサンブラ&シリアルーパラレル変換回路 (630, 640) と、調整開始信号がきたときに前記DLL回路 (620) の調整開始および調整終了を指示する調整制御信号 (strt) をリセットし、先頭ビット位置を記憶したフリップフロップのホールドを解除し、第1の特定信号列と前記シリ

アルーパラレル変換回路（630，640）の出力であるパラレルデータ信号とを比較し、調整制御信号（s t r t）がリセットされているときに、一致した場合に調整制御信号（s t r t）をセットし、先頭ビット位置を記憶してホールドする第1の頭出し検出回路（650）と、この第1の頭出し検出回路（650）のリセットされた調整制御信号（s t r t）によって出力を無効にし、前記第1の頭出し検出回路（650）において調整制御信号（s t r t）がセットされたときに前記第1の頭出し検出回路（650）の先頭ビット位置の記憶結果に従い、一致した信号列の次のビットからnビットをnビット毎にデータとして出力する整列化回路（650）と、前記第1の頭出し検出回路（650）の調整制御信号（s t r t）がリセットのときに停止し、セットのときにアドレス0から始まりアドレス（m-1）までを循環するライトアドレスを発生するライトアドレス発生回路（661）と、このライトアドレス発生回路（661）の出力に従い、指示されたアドレスに前記整列化回路（650）の出力を順次書き込むmアドレスnビットFIFO回路（660）と、システムクロック（CLKSYS）に同期し、リードアドレスにより指定されたアドレスの前記mアドレスnビットFIFO回路（660）に書かれたデータ信号を選択するmウェイnビットマルチプレクサ（670）と、このmウェイnビットマルチプレクサ（670）の出力を書き込むnビットレジスタ（680）とから構成される複数の前記第1のデータ処理回路（600）と；

前記第2のトランスミッタ回路（200）で使用した伝送用クロックに同期したシステムクロック（CLKSYS）の $n/2$ 通倍の周波数である伝送用クロックを入力とするDLL回路（720）の出力と前記第2のトランスミッタ回路（300）からのシリアルデータ信号とを位相比較し、データの中心にサンプリングタイミングを有するようにサンプリングクロックを調整するDLL回路（720）と、シリアルデータ信号をサンプリングクロックによりサンプリングしてパラレルデータ信号に変換するサンブラ&シリアルーパラレル変換回路（730，740）と、前記シリアルーパラレル変換回路（730，740）の出力と第2の特定信号列とを比較し、一致したときに前記DLL回路（720）の調整を指示する一定のパルス幅の調整開始信号を作成し、前記第1のデータ処理回路（60

0) に分配し、調整終了信号をリセットし、前記シリアル-パラレル変換回路 (730, 740) の出力と第3の特定信号列とを比較し、一致したときに調整終了信号をセットする第2の頭出し検出回路 (750) と、調整終了信号をシステムクロック (CLKSYS) に同期化し、かつ複数の前記第1のデータ処理回路 (600) の前記mアドレスnビットFIFO回路 (660) において前記整列化回路 (650) の出力を前記mアドレスnビットFIFO回路 (660) に書き込んだ後で、かつ同じアドレスに次のデータを書き込む前のタイミングになるようにリードアドレス起動信号を出力する同期化回路 (760) と、この同期化回路 (760) からのリードアドレス起動信号がリセットされると停止し、前記同期化回路 (760) からのリードアドレス起動信号がセットされるとアドレス0からアドレス (m-1) まで循環して順次発生し、かつ複数の前記第1のデータ処理回路 (600) の前記mアドレスnビットFIFO回路 (660) に対して同時に同じアドレスを指定するリードアドレスを分配するリードアドレス発生回路 (770) とから構成される第2のデータ処理回路 (700) とを備えることを特徴とする低レーテンシ高速伝送システム。

【請求項4】前記第1のトランスミッタ回路 (200) および前記第2のトランスミッタ回路 (300) にシステムクロック (CLKSYS) に同期した $n/2$ 通倍の周波数の伝送用クロックを分配する第1のアナログPLL回路 (100) と、前記第1のデータ処理回路 (600) および前記第2のデータ処理回路 (700) にシステムクロック (CLKSYS) に同期した $n/2$ 通倍の周波数の伝送用クロックを分配する第2のアナログPLL回路 (500) とを有することを特徴とする請求項3記載の低レーテンシ高速伝送システム。

【請求項5】前記第1のアナログPLL回路 (100) および前記第2のアナログPLL回路 (500) が、送信側のシステムクロック (CLKSYS) と受信側のシステムクロック (CLKSYS) とは同期したクロックであり、システムクロック (CLKSYS) またはシステムクロック (CLKSYS) と一定の位相関係にある同じかまたは正数分の1の周波数を持つ信号をREFクロック入力とし、 $n/2$ 通倍の周波数で発振する電圧制御型可変周波数発振器 (120, 520) と、この電圧制御型可変周波数発振器 (120, 520) の出力がシステ

ムクロック (CLKSYS) の $n/2$ 通倍の周波数のときに出力が REF クロックと同じ周波数になるように分周するカウンタ (130, 530) と、このカウンタ (130, 530) の出力と REF クロックとを位相比較し、前記カウンタ (130, 530) の出力が REF クロックの周波数と位相が同じになるように前記電圧制御型可変周波数発振器 (120, 520) の制御電圧を制御する位相比較器 (110, 510) とを有することを特徴とする請求項4記載の低レーテンシ高速伝送システム。

【請求項6】前記第1のデータ処理回路 (600) および前記第2のデータ処理回路 (700) に、システムクロック (CLKSYS) に同期した $n/2$ 通倍の周波数の伝送用クロックを分配する第2のアナログPLL回路 (500) を省略し、送信側の第1のアナログPLL回路 (100) の出力をシステムクロック (CLKSYS) に同期した $n/2$ 通倍の周波数の伝送用クロックとしてドライバ (140), 伝送路 (1000) およびレシーバ (540) を介して前記第1のデータ処理回路 (600) および前記第2のデータ処理回路 (700) に分配することを特徴とする請求項4記載の低レーテンシ高速伝送システム。

【請求項7】送信側のシステムクロック (CLKSYS) と受信側のシステムクロック (CLKSYS) とが、非同期であることを特徴とする請求項6記載の低レーテンシ高速伝送システム。

【請求項8】前記第1のトランスミッタ回路 (200) および前記第2のトランスミッタ回路 (300) が、1データ分前のデータ信号と異なるときにドライバ (240, 340) の出力振幅を大きくし、同じときに小さくするプリエンファシス機能を制御するプリエンファシス制御回路 (230, 330) と、このプリエンファシス制御回路 (230, 330) の出力に従いプリエンファシス量が選択可能なプリエンファシスしたデータ信号を発生するドライバ (240, 340) とを含むことを特徴とする請求項3, 請求項4, 請求項5, 請求項6または請求項7記載の低レーテンシ高速伝送システム。

【請求項9】前記パラレルーシリアル変換回路 (220, 230; 320, 330) が;

前段のフリップフロップ (F30, F31) の2ビットを入力とし、前段のフリ

ップフロップ (F30, F31) のクロック (CK30) を選択信号とし、クロック (CK30) の最初の半周期はフリップフロップ (F30) の出力を選択し、残り半周期はフリップフロップ (F31) の出力を選択するセレクタ (S0) と、クロック (CK30) の2通倍の周波数を持ち、クロック (CK30) のサンプリングエッジと異なる位相となるクロック (CK31) のエッジにて前記セレクタ (S0) の出力をサンプリングするフリップフロップ (F32) とから構成される複数の2:1マルチプレクサ&レジスタ (221) からなり、1段目の前段のレジスタを前記nビットレジスタ (210) とし、2段目以降を前記2:1マルチプレクサ&レジスタ (221) のレジスタを前段のレジスタとするように前記2:1マルチプレクサ&レジスタ (221) を縦続接続して構成された $n/2:1$ マルチプレッサ (220; 320) と;

前記 $n/2:1$ マルチプレッサ (220; 320) の最後のフリップフロップ (F40, F41) のサンプリングエッジが後縁となるようにしたサンプリングクロック (CK41) を選択信号として、フリップフロップ (F40) の正出力および負出力をサンプリングクロック (CK41) の前半周期、サンプリングクロック (CK41) の前縁をサンプリングエッジとしてフリップフロップ (F41) の出力をサンプリングしたフリップフロップ (F42) の正出力および負出力をサンプリングクロック (CK41) の後半周期に選択して出力するセレクタ (S40, S41) から構成される2:1マルチプレクサ (230; 330) とを含むことを特徴とする請求項3ないし請求項8記載の低レーテンシ高速伝送システム。

【請求項10】前記サンブラ&シリアル-パラレル変換回路 (630, 640; 730, 740) が;

シリアルデータ信号をデータの中心においてサンプリングクロック (CK1) の前縁でサンプリングするフリップフロップ (F51) と、サンプリングクロック (CK1) の後縁でサンプリングするフリップフロップ (F52) と、前縁でサンプリングしたフリップフロップ (F51) の出力をサンプリングクロック (CK1) の後縁でサンプリングするフリップフロップ (F53) とから構成され、出力のタイミングをサンプリングクロック (CK1) の後縁に統一してサンプリ

ングした並列の2つのデータ信号を出力するサンプラ&1:2デマルチプレクサ(630;730)と;

サンプリングクロック(CK1)の前縁で分周するカウンタ(CNT61)と、このカウンタ(CNT61)の出力であるクロック(CK2T)の前縁および後縁を使用して前段のサンプリングクロック(CK1)の後縁に統一してサンプリングしたフリップフロップの出力をサンプリングするフリップフロップ(F61, F62)と、クロック(CK2T)の前縁でサンプリングしたフリップフロップ(F61)の出力をクロック(CK2T)の後縁でサンプリングするフリップフロップ(F63)とからなり、出力のタイミングをクロック(CK2T)の後縁で統一した並列の2つのデータ信号を得る1:2デマルチプレクサ(641)を0段から複数段縦続接続した1:n/4デマルチプレクサと、この1:n/4デマルチプレクサの各々の出力であるレジスタ(0段の場合はサンプラ&1:2デマルチプレクサ(630))のサンプリングクロックの前縁を使用して2分周したクロック(CK3T)を作成するカウンタ(CNT71)と、クロック(CK3T)の後縁を使用して2分周したクロック(CK4T)を作成するカウンタ(CNT72)と、クロック(CK4T)の前半周期にクロック(CK3T)の前縁で入力データ信号をサンプリングしてクロック(CK4T)の後半周期でホールドするフリップフロップ(F71)と、クロック(CK4T)の前半周期にクロック(CK3T)の後縁でサンプリングし、クロック(CK4T)の後半周期ではホールドするフリップフロップ(F72)と、クロック(CK4T)の後半周期にクロック(CK3T)の前縁で入力データ信号をサンプリングし、クロック(CK4T)の前半周期でホールドするフリップフロップ(F74)と、クロック(CK4T)の後半周期のクロック(CK3T)の後縁でサンプリングし、クロック(CK4T)の前半周期ではホールドするフリップフロップ(F75)と、フリップフロップ(F71)の出力をクロック(CK3T)の後縁でサンプリングするフリップフロップ(F73)と、フリップフロップ(F74)の出力をクロック(CK3T)の後縁でサンプリングするフリップフロップ(F76)とからなる1:4デマルチプレクサ(642)により構成される1:nデマルチプレクサ(640)と

を含むことを特徴とする請求項 3 ないし請求項 9 記載の低レーテンシ高速伝送システム。

【請求項 1 1】前記第 1 の頭出し検出回路 (6 5 0) が；

第 1 の特定信号列である n ビット (C_0, \dots, C_{n-1}) と、データである前記 $1:n$ デマルチプレクサ (6 4 0) の出力の $2n$ ビット (D_0, \dots, D_{2n-1}) の各ビットから始まる n ビットとを比較する $2n$ 個のコンペア回路 (CP_1, \dots, CP_{2n}) を有し、各々の n ビットの最終ビットが前記 $1:n$ デマルチプレクサ (6 4 0) の $1:4$ デマルチプレクサ (6 4 2) のクロック (CK_4T) の後半周期となる先頭ビット (D_1, D_2, \dots, D_n) から始まるビット列を比較したコンペア回路 (CP_1, CP_2, \dots, CP_n) の各出力をオアするオア回路 (OR_{81}) と、各々の n ビットの最終ビットがクロック (CK_4T) の前半周期にサンプリングしたビットとなる先頭ビット (D_{n+1}, \dots, D_{2n-1} および D_0) から始まるビット列を比較したコンペア回路 (CP_{n+1}, \dots, CP_{2n}) の各出力をオアするオア回路 (OR_{82}) と、前記オア回路 (OR_{81}) の出力をクロック (CK_4T) の前半周期に選択し、前記オア回路 (OR_{82}) の確定時期であるクロック (CK_4T) の後半周期に選択するセレクタ (S_{81}) とから構成される第 1 の頭出しコンペア回路 (6 5 1) と；

調整開始信号をクロック (CK_3T) に同期化するためのフリップフロップ (F_{81}, F_{82}) と、フリップフロップ (F_{82}) の負出力とフリップフロップ (F_{83}) の出力とをアンドし、その出力と前記第 1 の頭出しコンペア回路 (6 5 1) のセレクタ (S_{81}) の出力とをオアした信号を入力とするフリップフロップ (F_{83}) とからなる頭出し制御回路 (6 5 2) と；

コンペア回路 (CP_1, \dots, CP_n) の出力をデータ入力とし、クロック (CK_4T) の前半周期かつ前記頭出し制御回路 (6 5 2) の出力が調整中のときにデータを取り込み、他の条件のときにホールドする n 個のホールド付きフリップフロップ (R_1, \dots, R_n) と、コンペア回路 (CP_{n+1}, \dots, CP_{2n}) の出力をデータ入力とし、クロック (CK_4T) の後半周期かつ前記頭出し制御回路 (6 5 2) の出力が調整中のときにデータを取り込み、他の条件のときにホールドする n 個のフリップフロップ (R_{n+1}, \dots, R_{2n}) とから構成される先頭

ビット位置記憶回路（653）と

を含むことを特徴とする請求項3ないし請求項10記載の低レーテンシ高速伝送システム。

【請求項12】前記整列化回路（650）が、任意の先頭ビット位置記憶回路（653）の出力と、この先頭ビット位置記憶回路（653）の先頭ビット位置から n ビット目の先頭ビット位置記憶回路（653）の出力をオアするオア回路群と、このオア回路群の出力が示す2つの先頭ビットから n ビットを1： n デマルチプレクサ（640）の出力から選択し、さらに先頭ビットが D_1, \dots, D_n の時はクロック（CK4T）の前半周期に選択し、先頭ビットが D_{n+1}, \dots, D_{2n} および D_0 の時はクロック（CK4T）の後半周期に選択する n 個のセレクタ（S91, S92, ..., S9n）と、このセレクタ（S91, S92, ..., S9n）の出力の n ビットをクロック（CK3T）の後縁でサンプリングするフリップフロップ（F91, F92, ..., F9n）とから構成されることを特徴とする請求項3ないし請求項11記載の低レーテンシ高速伝送システム。

【請求項13】前記 m ウェイ n ビットマルチプレクサ（670）が、縦続接続した m 個のフリップフロップの最初の $(m-1)$ 個のフリップフロップの負出力をアンドした信号を最初のフリップフロップに入力し、前記第1の頭出し検出回路（650）の前記頭出し制御回路（652）の調整制御信号（st rt）を最初のフリップフロップまたは全てのフリップフロップの入力で、入力とアンドするライトアドレス発生回路（661）と、前記整列化回路（650）の出力をデータ入力としてライトアドレスに従って書き込むアドレス数 m 、ビット数 n の $m \times n$ FIFO（662）とからなる m アドレス n ビットFIFO回路（660）から、リードアドレスに従い前記 $m \times n$ FIFO（662）に書き込まれた n ビットのデータを取り出すことを特徴とする請求項3ないし請求項12記載の低レーテンシ高速伝送システム。

【請求項14】前記 n ビットレジスタ（680）が、前記 m ウェイ n ビットマルチプレクサ（670）の出力をシステムクロック（CLKSYS）で書き込む n 個のフリップフロップ（FD0, FD1, FD2, FD3）でなることを特徴とする請求項3ないし請求項13記載の低レーテンシ高速伝送システム。

【請求項 1 5】前記第 2 のデータ処理回路（7 0 0）が；

第 2 の特定信号列である n ビットと、データである前記 1 : n デマルチプレクサ（7 4 0）の出力の $2n$ ビット（ D_0, \dots, D_{2n-1} ）の各ビットから始まる n ビットとを比較する $2n$ 個のコンペア回路（ CP_1, \dots, CP_{2n} ）を有し、各々の n ビットの最終ビットが前記 1 : n デマルチプレクサ（7 4 0）の 1 : 4 デマルチプレクサのクロック（ CK_4T ）の後半周期となる先頭ビット（ D_1, D_2, \dots, D_n ）から始まるビット列を比較したコンペア回路（ CP_1, CP_2, \dots, CP_n ）の各出力をオアするオア回路（ OR_{81} ）と、各々の n ビットの最終ビットがクロック（ CK_4T ）の前半周期にサンプリングしたビットとなる先頭ビット（ D_{n+1}, \dots, D_{2n-1} および D_0 ）から始まるビット列を比較したコンペア回路（ CP_{n+1}, \dots, CP_{2n} ）の各出力をオアするオア回路（ OR_{82} ）と、前記オア回路（ OR_{81} ）の出力をクロック（ CK_4T ）の前半周期に選択し、前記オア回路（ OR_{82} ）の確定時期であるクロック（ CK_4T ）の後半周期に選択するセレクタ（ S_{81} ）とから構成される第 2 の頭出しコンペア回路（7 5 1）と；

第 3 の特定信号列である n ビットと、データである前記 1 : n デマルチプレクサ（7 4 0）の出力の $2n$ ビット（ D_0, \dots, D_{2n-1} ）の各ビットから始まる n ビットとを比較する $2n$ 個のコンペア回路（ CP_1, \dots, CP_{2n} ）を有し、各々の n ビットの最終ビットが前記 1 : n デマルチプレクサ（7 4 0）の 1 : 4 デマルチプレクサのクロック（ CK_4T ）の後半周期となる先頭ビット（ D_1, D_2, \dots, D_n ）から始まるビット列を比較したコンペア回路（ CP_1, CP_2, \dots, CP_n ）の各出力をオアするオア回路（ OR_{81} ）と、各々の n ビットの最終ビットがクロック（ CK_4T ）の前半周期にサンプリングしたビットとなる先頭ビット（ D_{n+1}, \dots, D_{2n-1} および D_0 ）から始まるビット列を比較したコンペア回路（ CP_{n+1}, \dots, CP_{2n} ）の各出力をオアするオア回路（ OR_{82} ）と、前記オア回路（ OR_{81} ）の出力をクロック（ CK_4T ）の前半周期に選択し、前記オア回路（ OR_{82} ）の確定時期であるクロック（ CK_4T ）の後半周期に選択するセレクタ（ S_{81} ）とから構成される第 3 の頭出しコンペア回路（7 5 2）と；

前記第2の頭出しコンペア回路(751)の出力と同出力を入力として遅延した負出力を得る複数の縦続接続したフリップフロップ(FB2, FB3)の出力とをアンドし、微分波形である調整開始信号を作成して全ての前記第1のデータ処理回路(600)に分配するフリップフロップ(FB4)と、調整開始信号の負信号とフリップフロップ(FB1)の出力とをアンドした信号と前記第3の頭出しコンペア回路(752)のセレクタ(S81)の出力とをオアした信号を入力とし、調整終了信号を作成するフリップフロップ(FB1)とからなる調整制御回路(753)と

を含むことを特徴とする請求項3ないし請求項14記載の低レーテンシ高速伝送システム。

【請求項16】前記リードアドレス発生回路(770)が、縦続接続されたm個のフリップフロップ(FC2~FC5)の最初の(m-1)個のフリップフロップ(FC2~FC4)の負出力をアンドした信号を最初のフリップフロップの入力とし、同期化回路(760)からのリードアドレス起動信号を最初または全てのフリップフロップの入力において入力とアンドし、m個のフリップフロップ(FC2~FC5)から作成したリードアドレスを全ての前記第1のデータ処理回路(600)に分配することを特徴とする請求項3ないし請求項15記載の低レーテンシ高速伝送システム。

【請求項17】前記パラレル-シリアル変換回路(220, 230; 320, 330)が;前段のフリップフロップ(F30, F31)の2ビットを入力とし、前段のフリップフロップ(F30, F31)のクロック(CK30)を選択信号とし、クロック(CK30)の最初の半周期はフリップフロップ(F30)の出力を選択し、残り半周期はフリップフロップ(F31)の出力を選択するセレクタ(S0)と、クロック(CK30)の2通倍の周波数を持ち、クロック(CK30)のサンプリングエッジと異なる位相となるクロック(CK31)のエッジにて前記セレクタ(S0)の出力をサンプリングするフリップフロップ(F32)とから構成される複数の2:1マルチプレクサ&レジスタ(221)からなり、1段目の前段のレジスタを前記nビットレジスタ(210)とし、2段目以降を前記2:1マルチプレクサ&レジスタ(221)のレジスタを前段のレジスタ

とするように前記 2 : 1 マルチプレクサ & レジスタ (2 2 1) を縦続接続して構成された $n/2$: 1 マルチプレクサ (2 2 0 ; 3 2 0) と ; 前記 $n/2$: 1 マルチプレクサ (2 2 0 ; 3 2 0) の最後のフリップフロップ (F 4 0, F 4 1) のサンプリングエッジが後縁となるようにしたサンプリングクロック (C K 4 1) を選択信号として、フリップフロップ (F 4 0) の正出力および負出力をサンプリングクロック (C K 4 1) の前半周期、サンプリングクロック (C K 4 1) の前縁をサンプリングエッジとしてフリップフロップ (F 4 1) の出力をサンプリングしたフリップフロップ (F 4 2) の正出力および負出力をサンプリングクロック (C K 4 1) の後半周期に選択して出力するセレクタ (S 4 0, S 4 1) から構成される 2 : 1 マルチプレクサ (2 3 0 ; 3 3 0) とを含み ; 前記サンプラ & シリアル-パラレル変換回路 (6 3 0, 6 4 0 ; 7 3 0, 7 4 0) が ; シリアルデータ信号をデータの中心においてサンプリングクロック (C K 1) の前縁でサンプリングするフリップフロップ (F 5 1) と、サンプリングクロック (C K 1) の後縁でサンプリングするフリップフロップ (F 5 2) と、前縁でサンプリングしたフリップフロップ (F 5 1) の出力をサンプリングクロック (C K 1) の後縁でサンプリングするフリップフロップ (F 5 3) とから構成され、出力のタイミングをサンプリングクロック (C K 1) の後縁に統一してサンプリングした並列の 2 つのデータ信号を出力するサンプラ & 1 : 2 デマルチプレクサ (6 3 0 ; 7 3 0) と ; サンプリングクロック (C K 1) の前縁で分周するカウンタ (C N T 6 1) と、このカウンタ (C N T 6 1) の出力であるクロック (C K 2 T) の前縁および後縁を使用して前段のサンプリングクロック (C K 1) の後縁に統一してサンプリングしたフリップフロップの出力をサンプリングするフリップフロップ (F 6 1, F 6 2) と、クロック (C K 2 T) の前縁でサンプリングしたフリップフロップ (F 6 1) の出力をクロック (C K 2 T) の後縁でサンプリングするフリップフロップ (F 6 3) とからなり、出力のタイミングをクロック (C K 2 T) の後縁で統一した並列の 2 つのデータ信号を得る 1 : 2 デマルチプレクサ (6 4 1) を 0 段から複数段縦続接続した 1 : $n/4$ デマルチプレクサと、この 1 : $n/4$ デマルチプレクサの各々の出力であるレジスタ (0 段の場合はサンプラ & 1 : 2 デマルチプレクサ (6 3 0)) のサンプリングクロックの前縁

を使用して2分周したクロック (CK3T) を作成するカウンタ (CNT71) と、クロック (CK3T) の後縁を使用して2分周したクロック (CK4T) を作成するカウンタ (CNT72) と、クロック (CK4T) の前半周期にクロック (CK3T) の前縁で入力データ信号をサンプリングしてクロック (CK4T) の後半周期でホールドするフリップフロップ (F71) と、クロック (CK4T) の前半周期にクロック (CK3T) の後縁でサンプリングし、クロック (CK4T) の後半周期ではホールドするフリップフロップ (F72) と、クロック (CK4T) の後半周期にクロック (CK3T) の前縁で入力データ信号をサンプリングし、クロック (CK4T) の前半周期でホールドするフリップフロップ (F74) と、クロック (CK4T) の後半周期のクロック (CK3T) の後縁でサンプリングし、クロック (CK4T) の前半周期ではホールドするフリップフロップ (F75) と、フリップフロップ (F71) の出力をクロック (CK3T) の後縁でサンプリングするフリップフロップ (F73) と、フリップフロップ (F74) の出力をクロック (CK3T) の後縁でサンプリングするフリップフロップ (F76) とからなる1:4デマルチプレクサ (642) により構成される1:nデマルチプレクサ (640) とを含み; 前記第1の頭出し検出回路 (650) が; 第1の特定信号列であるnビット (C_0, \dots, C_{n-1}) と、データである前記1:nデマルチプレクサ (640) の出力の2nビット (D_0, \dots, D_{2n-1}) の各ビットから始まるnビットとを比較する2n個のコンペア回路 (CP_1, \dots, CP_{2n}) を有し、各々のnビットの最終ビットが前記1:nデマルチプレクサ (640) の1:4デマルチプレクサ (642) のクロック (CK4T) の後半周期となる先頭ビット (D_1, D_2, \dots, D_n) から始まるビット列を比較したコンペア回路 (CP_1, CP_2, \dots, CP_n) の各出力をオアするオア回路 (OR81) と、各々のnビットの最終ビットがクロック (CK4T) の前半周期にサンプリングしたビットとなる先頭ビット (D_{n+1}, \dots, D_{2n-1} および D_0) から始まるビット列を比較したコンペア回路 (CP_{n+1}, \dots, CP_{2n}) の各出力をオアするオア回路 (OR82) と、前記オア回路 (OR81) の出力をクロック (CK4T) の前半周期に選択し、前記オア回路 (OR82) の確定時期であるクロック (CK4T) の後半周期に選択するセレク

タ (S 8 1) とから構成される第 1 の頭出しコンペア回路 (6 5 1) と; 調整開始信号をクロック (C K 3 T) に同期化するためのフリップフロップ (F 8 1, F 8 2) と、フリップフロップ (F 8 2) の負出力とフリップフロップ (F 8 3) の出力とをアンドし、その出力と前記第 1 の頭出しコンペア回路 (6 5 1) のセレクタ (S 8 1) の出力とをオアした信号を入力とするフリップフロップ (F 8 3) とからなる頭出し制御回路 (6 5 2) と; コンペア回路 (C P 1, ..., C P n) の出力をデータ入力とし、クロック (C K 4 T) の前半周期かつ前記頭出し制御回路 (6 5 2) の出力が調整中のときにデータを取り込み、他の条件のときにホールドする n 個のホールド付きフリップフロップ (R 1, ..., R n) と、コンペア回路 (C P n + 1, ..., C P 2 n) の出力をデータ入力とし、クロック (C K 4 T) の後半周期かつ前記頭出し制御回路 (6 5 2) の出力が調整中のときにデータを取り込み、他の条件のときにホールドする n 個のフリップフロップ (R n + 1, ..., R 2 n) とから構成される先頭ビット位置記憶回路 (6 5 3) とを含み; 前記整列化回路 (6 5 0) が、任意の先頭ビット位置記憶回路 (6 5 3) の出力と、この先頭ビット位置記憶回路 (6 5 3) の先頭ビット位置から n ビット目の先頭ビット位置記憶回路 (6 5 3) の出力をオアするオア回路群と、このオア回路群の出力が示す 2 つの先頭ビットから n ビットを 1 : n デマルチプレクサ (6 4 0) の出力から選択し、さらに先頭ビットが D 1, ..., D n の時はクロック (C K 4 T) の前半周期に選択し、先頭ビットが D n + 1, ..., D 2 n および D 0 の時はクロック (C K 4 T) の後半周期に選択する n 個のセレクタ (S 9 1, S 9 2, ..., S 9 n) と、このセレクタ (S 9 1, S 9 2, ..., S 9 n) の出力の n ビットをクロック (C K 3 T) の後縁でサンプリングするフリップフロップ (F 9 1, F 9 2, ..., F 9 n) とを含み; 前記 m ウエイ n ビットマルチプレクサ (6 7 0) が、縦続接続した m 個のフリップフロップの最初の (m - 1) 個のフリップフロップの負出力をアンドした信号を最初のフリップフロップに入力し、前記第 1 の頭出し検出回路 (6 5 0) の前記頭出し制御回路 (6 5 2) の調整制御信号 (s t r t) を最初のフリップフロップまたは全てのフリップフロップの入力で、入力とアンドするライトアドレス発生回路 (6 6 1) と、前記整列化回路 (6 5 0) の出力をデータ入力としてライトアドレスに従って書き

込むアドレス数 m 、ビット数 n の $m \times n$ F I F O (6 6 2) とからなる m アドレス n ビット F I F O 回路 (6 6 0) から、リードアドレスに従い前記 $m \times n$ F I F O (6 6 2) に書き込まれた n ビットのデータを取り出し；前記 n ビットレジスタ (6 8 0) が、前記 m ウェイ n ビットマルチプレクサ (6 7 0) の出力をシステムクロック (C L K S Y S) で書き込む n 個のフリップフロップ (F D 0 , F D 1 , F D 2 , F D 3) であり；前記第 2 のデータ処理回路 (7 0 0) が；前記第 2 のデータ処理回路 (7 0 0) の 1 : n デマルチプレクサ (7 4 0) の出力と、第 2 の特定信号列とを入力として比較する第 2 の頭出しコンペア回路 (7 5 1) と；前記第 2 のデータ処理回路 (7 0 0) の 1 : n デマルチプレクサ (7 4 0) の出力と、第 3 の特定信号列とを入力として比較する第 3 の頭出しコンペア回路 (7 5 2) と；前記第 2 の頭出しコンペア回路 (7 5 1) の出力と同出力を入力として遅延した負出力を得る複数の縦続接続したフリップフロップ (F B 2 , F B 3) の出力とをアンドし、微分波形である調整開始信号を作成して全ての前記第 1 のデータ処理回路 (6 0 0) に分配するフリップフロップ (F B 4) と、調整開始信号の負信号とフリップフロップ (F B 1) の出力とをアンドした信号と前記第 3 の頭出しコンペア回路 (7 5 2) のセクタ (S 8 1) の出力とをオアした信号を入力とし、調整終了信号を作成するフリップフロップ (F B 1) とからなる調整制御回路 (7 5 3) とを含み；前記リードアドレス発生回路 (7 7 0) が、縦続接続された m 個のフリップフロップ (F C 2 ~ F C 5) の最初の ($m - 1$) 個のフリップフロップ (F C 2 ~ F C 4) の負出力をアンドした信号を最初のフリップフロップの入力とし、同期化回路 (7 6 0) からのリードアドレス起動信号を最初または全てのフリップフロップの入力において入力とアンドし、 m 個のフリップフロップ (F C 2 ~ F C 5) の出力から作成したリードアドレスを全ての前記第 1 のデータ処理回路 (6 0 0) に分配する低レーテンシ高速伝送システムにおいて；

前記第 2 のトランスミッタ回路 (3 0 0) から同時に第 1 の特定信号列および第 3 の特定信号列が出され、第 1 の特定信号列が前記第 1 のトランスミッタ回路 (2 0 0) , 伝送路 (8 0 0) , レシーバ (6 1 0) , 前記第 1 のデータ処理回路 (6 0 0) のサンプラ & 1 : 2 デマルチプレクサ (6 3 0) , および 1 : n デマ

ルチプレクサ (640) を介して前記第1の頭出し検出回路 (650) にて検出され、次のビットから n ビットまでを前記整列化回路 (650) にて抽出され、前記 m アドレス n ビット F I F O 回路 (660) のアドレス0に書き込まれるまでの時間が最大になったときに、第3の特定信号列が前記第2のトランスミッタ回路 (300)、伝送路 (900)、レシーバ (710)、前記第2のデータ処理回路 (700) のサンプラ & 1 : 2 デマルチプレクサ (730)、および 1 : n デマルチプレクサ (740) を介して前記第2の頭出し検出回路 (750) で第3の特定信号列として検出され、前記同期化回路 (760) および前記リードアドレス発生回路 (770) を介してリードアドレスを発生し、このリードアドレスにより前記 m ウェイ n ビットマルチプレクサ (670) を介して前記 n ビットレジスタ (680) に書き込むまでの時間が最小になっても、前記 m アドレス n ビット F I F O 回路 (660) が書き込んだデータが前記 m ウェイ n ビットマルチプレクサ (670) を介して前記 n ビットレジスタ (680) に到達する前にならないように、前記同期化回路 (760) のフリップフロップ数を多くし、第1の特定信号列が前記第1のトランスミッタ回路 (200)、伝送路 (800)、レシーバ (610)、前記第1のデータ処理回路 (600) のサンプラ & 1 : 2 デマルチプレクサ (630)、および前記 1 : n デマルチプレクサ (640) を介して前記第1の頭出し検出回路 (650) にて検出され、次のビットから前記 m アドレス n ビット F I F O 回路 (660) のアドレスを一巡して、再度アドレス0に書き込む ($m \times n + 1$) ビット目からの n ビットが前記整列化回路 (650) にて抽出され、前記 m アドレス n ビット F I F O 回路 (660) のアドレス0に書き込まれるまでの時間が最小になったときに、第3の特定信号列が前記第2のトランスミッタ回路 (300)、伝送路 (900)、レシーバ (710)、前記第2のデータ処理回路 (700) の前記サンプラ & 1 : 2 デマルチプレクサ (730)、および前記 1 : n デマルチプレクサ (740) を介して前記第2の頭出し検出回路 (750) で第3の特定の信号として検出され、前記同期化回路 (760) および前記リードアドレス発生回路 (770) を介してリードアドレスを発生し、該リードアドレスを前記 m ウェイ n ビットマルチプレクサ (670) を介して前記 n ビットレジスタ (680) に書き込むまでの時間が最大に

なっても、前記 m アドレス n ビットFIFO回路(660)が書き込んだ第1の特定信号列の次のビットから n ビットのデータが前記 m ウェイ n ビットマルチプレクサ(670)を介して前記 n ビットレジスタ(680)に書き込まれた後に到達するように、前記同期化回路(760)のフリップフロップ数を少なくし、2つの条件を満足するように、前記 m アドレス n ビットFIFO回路(660)のアドレス数 m としたことを特徴とする請求項1記載の低レーテンシ高速伝送システム。

【請求項18】前記第2の頭出しコンペア回路(751)が、第2の特定信号列を1を含む全ての信号列とし、前記第2のデータ処理回路(700)の前記1： n デマルチプレクサ(740)の全ての出力をオアする n 入力オア回路でなることを特徴とする請求項17記載の低レーテンシ高速伝送システム。

【請求項19】前記第1のデータ処理回路(600)の前記整列化回路(650)のセレクタ($S91, \dots, S9n$)を、前記第1の頭出し検出回路(650)の調整制御信号(st_{rt})がセットされたときに有効、リセットされたときに無効とするように、前記セレクタ($S91, \dots, S9n$)を制御することを特徴とする請求項18記載の低レーテンシ高速伝送システム。

【請求項20】前記第1のトランスミッタ回路(200)および前記第2のトランスミッタ回路(300)にシステムクロック(CLKSYS)に同期した $n/2$ 通倍の周波数の伝送用クロックを分配する第1のアナログPLL回路(100)を有し、前記第1のデータ処理回路(600)および前記第2のデータ処理回路(700)にシステムクロック(CLKSYS)に同期した $n/2$ 通倍の周波数の伝送用クロックを分配する第2のアナログPLL回路(500)を有することを特徴とする請求項17、請求項18または請求項19記載の低レーテンシ高速伝送システム。

【請求項21】前記第1アナログPLL回路(100)が、送信側のシステムクロック(CLKSYS)と受信側のシステムクロック(CLKSYS)とは同期したクロックであり、システムクロック(CLKSYS)またはシステムクロック(CLKSYS)と一定の位相関係にある同じかまたは正数分の1の周波数を持つ信号をREFクロック入力とし、システムクロック(CLKSYS)の $n/$

2 通倍の周波数で発振する電圧制御型可変周波数発振器 (1 2 0) と、この電圧制御型可変周波数発振器 (1 2 0) の出力がシステムクロック (C L K S Y S) の $n/2$ 通倍の周波数のときに出力が R E F クロックと同じ周波数になるように分周するカウンタ (1 3 0) と、このカウンタ (1 3 0) の出力と R E F クロックとを位相比較し、前記カウンタ (1 3 0) の出力が R E F クロックの周波数と位相が同じになるように前記電圧制御型可変周波数発振器 (1 2 0) の制御電圧を制御する位相比較器 (1 1 0) とから構成されることを特徴とする請求項 2 0 記載の低レーテンシ高速伝送システム。

【請求項 2 2】前記第 1 のデータ処理回路 (6 0 0) および前記第 2 のデータ処理回路 (7 0 0) に、システムクロック (C L K S Y S) に同期した $n/2$ 通倍の周波数の伝送用クロックを分配する第 2 のアナログ P L L 回路 (5 0 0) を省略し、送信側の第 1 のアナログ P L L 回路 (1 0 0) からのシステムクロック (C L K S Y S) に同期した $n/2$ 通倍の周波数の伝送用クロックをドライバ (1 4 0) , 伝送路 (1 0 0 0) およびレシーバ (5 4 0) を介して前記第 1 のデータ処理回路 (6 0 0) および前記第 2 のデータ処理回路 (7 0 0) に分配することを特徴とする請求項 2 1 記載の低レーテンシ高速伝送システム。

【請求項 2 3】送信側のシステムクロック (C L K S Y S) と受信側のシステムクロック (C L K S Y S) とが、非同期であるクロックであることを特徴とする請求項 2 2 記載の低レーテンシ高速伝送システム。

【請求項 2 4】前記プリエンファシス制御回路 (2 3 0, 3 3 0) が、サンプリングクロック (C K 4 1) の前縁にて前記 $n/2 : 1$ マルチプレクサ (2 2 0, 3 2 0) のフリップフロップ (F 4 0) の正出力をサンプリングして取り込むフリップフロップ (F 4 3) と、サンプリングクロック (C K 4 1) の後縁、かつ次のサイクルにおいてフリップフロップ (F 4 1) の正出力をサンプリングして取り込むフリップフロップ (F 4 4) と、サンプリングクロック (C K 4 1) の反転信号を選択信号として前半周期をフリップフロップ (F 4 4) の正出力および負出力を選択し、後半周期にフリップフロップ (F 4 3) の正出力および負出力を得るセクタ (S 4 2, S 4 3) から構成され、正規の出力信号として、前半周期にフリップフロップ (F 4 0) の正出力および負出力を選択し、後半周期

にフリップフロップ (F 4 2) の正出力および負出力を選択するセレクタ (S 4 0, S 4 1) の出力に対し、セレクタ (S 4 2) の負出力がセレクタ (S 4 0) の正出力と同じときに、ドライバ (2 4 0, 3 4 0) の出力振幅を大きくして出力し、異なる時は出力振幅を小さくして出力し、かつ振幅の大きさを変化させないことを含め、複数のプリアンファシス量から選択可能にしたことを特徴とする請求項 1 7 ないし請求項 2 3 記載の低レーテンシ高速伝送システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、情報処理装置に使用される低レーテンシ高速伝送システムに関し、特に高速に広帯域のデータ伝送を必要とする複数のプロセッサ間やプロセッサとメモリ間のデータ伝送に使用する伝送システムにおいて複数の伝送路を使用してシリアルデータ信号を伝送する高速伝送システムの改良に関する。

【0 0 0 2】

【従来の技術】

従来、この種の広帯域の高速伝送システムは、一般的に、複数の伝送路を並列に使用して、同期したクロックを持つ装置間を 1 周期または複数周期でパラレルデータ信号の伝送を行っていた。

【0 0 0 3】

近年、より広帯域の伝送が要求されるようになり、並列信号数が増加し、LSI (Large Scaled Integration) の入出力信号数が大幅に増加するに従って、信号数の削減が要請されている。

【0 0 0 4】

この要請に応えるために、例えば、High Performance Parallel Interface 6400 Mbit/s Physical Layer (HIPPI-6400-PHANSI X3xxx. 199x) に開示されているように、シリアルデータ信号を複数の伝送路を使用して高速かつ広帯域に伝送することが提案されている。高速に動作するデータを正しく受け取るためには、ケーブル等の伝送媒体により歪んだ伝送波形となるデータ信号を、ア

イと呼ばれる狭いデータの確定領域においてサンプリングする必要がある。そのために、常に変化する立ち上がりまたは立ち下りの位相変化を常時監視し、PLL (Phase Locked Loop) を使用してデータの変化点の中心にサンプリングクロックを調整し、データを受け取るようにする。しかし、この先行技術文献に開示された手法は、図14に示すように、データ信号4ビットに1ビットを付加し、1と0との割合が等しくなるように信号を反転させることにより、連続した0や1の発生を抑え、常時変化させるようにしている。

【0005】

また、単数の伝送路であるが、ファイバーチャネル (ANSI XT11 Fiber Channel Physical and Transmission Protocol) のように連続した1や0の個数を減らすために8ビットを10ビットに変換することも行われている。

【0006】

たとえば、特開平11-340839号公報には、送信側にパラレルデータ信号に同期信号を付加してシリアルデータ信号に変換するセパレータビット付加並直列変換手段を設け、受信側にシリアルデータ信号をセパレータビットを除去してパラレルデータ信号に変換するセパレータビット削除直並列変換手段を設けるようにしたパラレル信号シリアル伝送装置が開示されている。

【0007】

また、特開2000-216744号公報には、パラレルデータの特定の期間に同期コードを付加する同期コード付加手段と、同期コードが付加されたパラレルデータをシリアルデータに変換するパラレル／シリアル変換手段とを有するデータ伝送装置が開示されている。

【0008】

【発明が解決しようとする課題】

ところが、上述したような従来の技術では、たとえばデータ4ビット（または8ビット）に対してセパレータ1ビット（または2ビット）を付加することから、伝送したデータ信号の80%が実効データであり、同じデータ量を伝送するためには、1.25倍の回路量およびデータ線路を使用するか、伝送速度を1.25

倍にする必要があるという問題点があった。

【0009】

また、1と0との割合が同じになるように4ビット（または8ビット）のデータを5ビット（または10ビット）に変換するための時間、および受け取った5ビット（または10ビット）のデータを4ビット（または8ビット）に変換する時間が必要なため、伝送するデータが入力されてから、受け取った側が元のデータ信号に戻して出力するまでの時間（以下、レーテンシと呼ぶ）がかかり、高速に伝送できるが、データとして使用するためには時間が遅くなるという問題点があった。

【0010】

しかし、4ビット（または8ビット）を5ビット（または10ビット）に変換しない場合には冗長のビットを持たず、データ信号は任意の値をとるため、特定信号列をデータの開始とする手段が採れず、かつ1, 0に変化することが保証できないために、常時サンプリングクロックを調整することができないという課題が発生する。

【0011】

本発明の主な目的は、複数の伝送路を使用し、各々の伝送回路において、システムクロックを使用して送られて来たパラレルデータ信号をシリアルデータ信号に変換して伝送し、複数の伝送路にて伝送されたため、到達時間が異なったデータ信号に対し、受信側にて伝送回路毎にサンプリングクロックをデータの中心に調整してサンプリングするとともに、シリアルデータ信号をパラレルデータ信号に変換し、システムクロックに同期させて元のデータ信号を復元する高速伝送システムにおいて、データ信号に余分なビットを付加せずに、伝送データ信号に占める実効データ信号の割合を大きくすることにより、少ない回路量と低い伝送速度とを使用し、最大の伝送容量を実現するとともにレーテンシを最小にした低レーテンシ高速伝送システムを提供することにある。

【0012】

【課題を解決するための手段】

本発明の低レーテンシ高速伝送システムにおける課題を解決するための手段およ

び本発明の特徴について、図 1 および図 2 を参照して示す。

【 0 0 1 3 】

本発明の低レーテンシ高速伝送システムは、複数の伝送路 8 0 0 と；送信側において、入力パラレルデータ信号を分割して該入力パラレルデータ信号を作成したシステムクロック C L K S Y S または同じ周波数のクロックによりデータを受け取る n ビットレジスタ 2 1 0 と、システムクロック C L K S Y S に同期した $n/2$ 通倍の周波数の伝送用クロックまたは伝送用クロックを分周したクロックを用いて n ビットレジスタ 2 1 0 の出力をシリアルデータ信号に変換するパラレルーシリアル変換回路 ($n/2 : 1$ マルチプレクサ 2 2 0 および $2 : 1$ マルチプレクサ 2 3 0) と、1 データ分前のデータ信号と異なるときにドライバ 2 4 0 の出力振幅を大きくし、同じときに小さくするプリエンファシス機能を制御するプリエンファシス制御回路 2 3 0 (以下、図において同一ブロックで示される複数の回路については、同一符号を付して説明する) と、プリエンファシス制御回路 2 3 0 の出力に従いプリエンファシスしたデータ信号を発生するドライバ 2 4 0 を含む複数の第 1 のトランスミッタ回路 2 0 0 と；受信側において、第 1 のトランスミッタ回路 2 0 0 で使用した伝送用クロックに同期したシステムクロック C L K S Y S の $n/2$ 通倍の周波数である伝送用クロックを入力とする D L L 回路 6 2 0 の出力とデータ信号とを比較し、データの中心にサンプリングタイミングを有するようにサンプリングクロックを調整する P L L (P h a s e L o c k e d L o o p) 回路の一種である D L L (D e l a y L o c k e d L o o p) 回路 6 2 0 と、シリアルデータ信号をサンプリングクロックによりサンプリングしてパラレルデータ信号に変換するサンブラ&シリアルーパラレル変換回路 (サンブラ& $1 : 2$ デマルチプレクサ 6 3 0 および $1 : n$ デマルチプレクサ 6 4 0) と、調整開始信号がきたときに、D L L 回路 6 2 0 の調整開始および調整終了を指示する調整制御信号 s t r t をリセットし、先頭ビット位置を記憶したフリップフロップのホールドを解除し、第 1 の特定信号列とシリアルーパラレル変換回路の出力とを比較し、調整制御信号 s t r t がリセットされているときに、一致した場合に調整制御信号 s t r t をセットし、先頭ビット位置を記憶してホールドする第 1 の頭出し検出回路 6 5 0 と、リセットされた調整制御信号 s t r t によ

り出力を無効にし、調整制御信号 $start$ がセットされたときに、第1の頭出し検出回路650の先頭ビット位置の記憶結果に従い、一致した信号列の次のビットから n ビットを n ビット毎にデータとして出力する整列化回路650と、調整制御信号 $start$ がリセットのときに停止し、セットのときにアドレス0からアドレス $(m-1)$ までは循環するライトアドレスを発生するライトアドレス発生回路661（図10参照）と、ライトアドレス発生回路661の出力に従い、指示されたライトアドレスに整列化回路650の出力を順次書き込む m アドレス n ビットFIFO回路660と、システムクロック CLK_{SYS} に同期してリードアドレスにより指定されたアドレスの m アドレス n ビットFIFO回路660に書かれたデータ信号を選択する m ウェイ n ビットマルチプレクサ670と、 m ウェイ n ビットマルチプレクサ670の出力を書き込む n ビットレジスタ680とから構成される複数の第1のデータ処理回路600とを備える高速伝送システムに；第1のトランスミッタ回路200から無効データ列、確実に1, 0に変化する調整信号列、および第1の特定信号列が出るとき、無効データ列と第2の特定信号列との開始時期が同じ、第1の特定信号列と第3の特定信号列との終了時期が同じように、第2の特定信号列、確実に1, 0に変化する調整信号列、および第3の特定信号列を発生する調整制御論理回路400と、第1のトランスミッタ回路200と同じ回路構成で、調整制御論理回路400の出力信号を受け取る n ビットレジスタ310と、 n ビットレジスタ310の出力をシリアルデータ信号に変換するパラレル-シリアル変換回路($n/2:1$ マルチプレクサ320および $2:1$ マルチプレクサ330)と、1データ分前のデータ信号と異なるときにドライバ340の出力振幅を大きくし、同じときに小さくするプリエンファシス機能を制御するプリエンファシス制御回路330と、プリエンファシス制御回路330の出力に従いプリエンファシスしたデータ信号を発生するドライバ340とを含む第2のトランスミッタ回路300と；第1のデータ処理回路600と同じ、DLL回路720、サンブラ&シリアル-パラレル変換回路(サンブラ&1:2デマルチプレクサ730および1: n デマルチプレクサ740)と、シリアル-パラレル変換回路の出力と第2の特定信号列とを比較し、一致したときにDLL回路620, 720の調整を指示する一定のパルス幅の調整開始信号を作成

して第1のデータ処理回路600に分配し、調整終了信号をリセットし、シリアル-パラレル変換回路の出力と第3の特定信号列とを比較し、一致したときに調整終了信号をセットする第2の頭出し検出回路750と、調整終了信号をシステムクロックCLKSYSに同期化し、全ての第1のデータ処理回路600のmアドレスnビットFIFO回路660において整列化回路650の出力をmアドレスnビットFIFO回路660に書き込んだ後、かつ同じアドレスに次のデータを書き込む前のタイミングになるようにリードアドレスの発生するタイミングを合わせるリードアドレス起動信号を出力する同期化回路760と、同期化回路760からのリードアドレス起動信号がリセットされると停止し、同期化回路760からのリードアドレス起動信号がセットされるとアドレス0からアドレス(m-1)まで循環して順次発生し、かつ複数の第1のデータ処理回路600のmアドレスnビットFIFO回路660に対して同時に同じアドレスを指定するリードアドレスを分配するリードアドレス発生回路770とから構成される第2のデータ処理回路700とを付加することを特徴とする。

【0014】

システムクロックCLKSYSに同期した $n/2$ 通倍の周波数の伝送用クロックは、システムクロックCLKSYSまたはシステムクロックCLKSYSと一定の位相関係にある同じまたは正数分の1の周波数を持つ信号をREFクロック（参照クロック）入力とし、 $n/2$ 周期毎にシステムクロックCLKSYSと同じ位相になるシステムクロックCLKSYSの $n/2$ 通倍の周波数を有する伝送用クロックを発生するアナログPLL回路を使用し、図1に示すように、送信側に第1のアナログPLL回路100、受信側に第2のアナログPLL回路500を設置し、各々送信側および受信側の伝送用クロックを必要とする回路に分配する。

【0015】

また、図2に示すソースシンクロナス方式の低レーテンシ高速伝送システムのよように、第2のアナログPLL回路500を省略し、第1のアナログPLL回路100からの伝送用クロックを、ドライバ140、伝送路1000、およびレシーバ540を介して受信側に伝送し、第1のデータ処理回路600および第2のデ

ータ処理回路 7 0 0 に分配するようにしてもよい。

【 0 0 1 6 】

このような構成をとることにより、データ信号列に余分のビットを持たず、任意の値をとるために特定信号列をデータの開始とする手段が採れず、かつ 1, 0 に変化することが保証できないデータ信号に対して、第 1 のトランスミッタ回路 2 0 0 から無効データ列、確実に 1, 0 に変化する調整信号列、および第 1 の特定信号列が出るとき、無効データ列と第 2 の特定信号列との開始時期が同じ、第 1 の特定信号列と第 3 の特定信号列との終了時期が同じように、一定もしくは任意の周期で、第 2 のトランスミッタ回路 3 0 0 から第 2 の特定信号列（1 ビットでも 1 になったとしてもよい）、調整信号列、および第 3 の特定信号列を、第 1 のトランスミッタ回路 2 0 0 から無効データ列、調整信号列、第 1 の特定信号列、およびデータ信号列を出力させることにより、第 2 のデータ処理回路 7 0 0 は第 2 の特定信号列がきたならば、D L L 回路 6 2 0 の調整開始信号を作成し、第 2 の特定信号列、調整信号列、および第 3 の調整信号列の間に D L L 回路 6 2 0 によりサンプリングクロックの調整を行い、第 2 のデータ処理回路 7 0 0 内の m アドレス n ビット F I F O 回路 6 6 0 のリードアドレスの発生を停止するとともに、第 1 のデータ処理回路 6 0 0 の第 1 の頭出し検出回路 6 5 0 に調整制御信号 s t r t を分配することにより、ホールドを解除して記憶した先頭ビット位置をリセットし、調整終了信号をリセットすることにより、m アドレス n ビット F I F O 回路 6 6 0 のライトアドレスの発生を停止させ、整列化回路 6 5 0 の出力を無効にさせ、D L L 回路 6 2 0 の調整を可能とする調整信号列の入力を許容させ、かつ D L L 回路 6 2 0 によるサンプリングクロックの調整を行わせ、さらには第 1 のデータ処理回路 6 0 0 毎に、D L L 回路 6 2 0 の調整期間中に第 1 の特定信号列がデータ信号に入力されたならば、調整終了とデータ開始とする信号として認識させることにより、第 1 の特定信号列の次のビットから m アドレス n ビット F I F O 回路 6 6 0 にアドレス 0 から順次書き込むことを可能にすることができる。

【 0 0 1 7 】

また、第 1 のデータ処理回路 6 0 0 に第 1 の特定信号列がくるのとほぼ同時期に

、第2のデータ処理回路700に第3の特定信号列がきたときに調整終了として認識し、リードアドレス起動信号を作成し、システムクロックCLKSYSに同期化し、アドレス0からアドレス(m-1)まで循環して順次発生するリードアドレスを発生し、第1のデータ処理回路600に分配することにより、各mアドレスnビットFIFO回路660において、伝送路800のばらつきおよび回路のばらつきのためにバラバラに書き込まれたデータを、同時にかつシステムクロックCLKSYSに同期して同じアドレスから読み出せるため、送信側の平行データ信号列を復元した平行データ信号列を得ることができる。

【0018】

ここで、第1のトランスミッタ回路200から調整の開始時に出力される無効データ列は、データの有効性を示す特定のビットのみでもよい。無効データの数は、第2の特定信号列が第2のデータ処理回路700に入力され、調整開始信号を発生し、第1のデータ処理回路600の整列化回路650のデータを無効にする時間から、無効データ列が第1のデータ処理回路600に入力され、整列化回路650に入力されるまでの時間を差し引いた期間以上であればよい。

【0019】

また、図2に示すように、伝送用クロックを送信側から受信側に分配することにより、クロック発生源の異なるシステムクロックCLKSYSを使用するために、微少ではあっても周波数が異なるシステムクロックCLKSYSを使用した装置間の伝送でも、データが喪失される前に定期的に再調整することにより、エラーすることなくデータ伝送を可能にする。

【0020】

【発明の実施の形態】

以下、本発明の上記および他の目的、特徴および利点を明確にすべく、添付した図面を参照しながら、本発明の実施の形態につき詳細に説明する。

【0021】

(1) 第1の実施の形態

図1は、本発明の第1の実施の形態に係る同期クロック式の低レーテンシ高速伝送システムを示す回路ブロック図である。本実施の形態に係る低レーテンシ高速

伝送システムは、第1のアナログPLL回路100、複数の第1のトランスミッタ回路200、第2のトランスミッタ回路300、および調整制御論理回路400を含む送信側と、第2のアナログPLL回路500、複数の第1のデータ処理回路600、および第2のデータ処理回路700を含む受信側とが、複数の伝送路800および伝送路900を介して接続されて、その主要部が構成されている。

【0022】

第1のアナログPLL回路100は、システムクロックCLKSYSの $n/2$ 通倍の周波数で発振し伝送用クロック（図13（g）参照）を出力する電圧制御型可変周波数発振器（VCO）120と、第1のアナログPLL回路100の出力であるその出力がシステムクロックCLKSYS（図13（i）参照）の $n/2$ 通倍の周波数のときに出力がREFクロックと同じ周波数になるように分周するカウンタ130と、カウンタ130の出力とREFクロックとを位相比較し、カウンタ130の出力がREFクロックの周波数と位相が同じになるようにVCO120の制御電圧を制御する位相比較器（PD）110とから構成されている。ここで、カウンタ130のクロック入力である伝送用クロックの位置を2：1マルチプレクサ230のフリップフロップのクロック入力から得ることにより、システムクロックCLKSYSと伝送用クロックとの位相を一定の関係にすることができる。

【0023】

第1のトランスミッタ回路200は、図示しない論理側から送られた入力パラレルデータ信号を分割した n ビットのパラレルデータ信号を第1のアナログPLL回路100のカウンタ130の出力であるシステムクロックCLKSYSと同じ周波数のクロックまたはシステムクロックCLKSYSにより受け取る n ビットレジスタ210と、 n ビットレジスタ210の出力を第1のアナログPLL回路100からの伝送用クロックを使用してシリアルデータ信号（図13（h）参照）に変換するパラレルーシリアル変換回路（ $n/2$ ：1マルチプレクサ220および2：1マルチプレクサ230）と、1データ分前のデータ信号と異なるときにドライバ240の出力振幅を大きくし、同じときに小さくするプリエンファシ

ス機能を制御するプリエンファシス制御回路 2 3 0 と、プリエンファシス制御回路 2 3 0 の出力に従いプリエンファシスしたシリアルデータ信号を出力するドライバ 2 4 0 とから構成されている。

【 0 0 2 4 】

第 2 のトランスミッタ回路 3 0 0 は、第 1 のトランスミッタ回路 2 0 0 と同じ回路構成であり、調整制御論理回路 4 0 0 から送られた n ビットの平行データ信号を受ける n ビットレジスタ 3 1 0 と、 n ビットレジスタ 3 1 0 の出力を第 1 のアナログ PLL 回路 1 0 0 からの伝送用クロックを使用してシリアルデータ信号に変換する平行-シリアル変換回路 ($n/2 : 1$ マルチプレクサ 3 2 0 および $2 : 1$ マルチプレクサ 3 3 0) と、1 データ分前のデータ信号と異なるときにドライバ 3 4 0 の出力振幅を大きくし、同じときに小さくするプリエンファシス機能を制御するプリエンファシス制御回路 3 3 0 と、プリエンファシス制御回路 3 3 0 の出力に従いプリエンファシスしたシリアルデータ信号を出力するドライバ 3 4 0 とから構成されている。

【 0 0 2 5 】

調整制御論理回路 4 0 0 は、一定の周期または任意の周期で、第 1 のトランスミッタ回路 2 0 0 から無効データ列、確実に 1, 0 に変化する調整信号列、および第 1 の特定信号列が出るとき、無効データ列と第 2 の特定信号列との開始時期が同じ、第 1 の特定信号列と第 3 の特定信号列との終了時期が同じように、第 2 の特定信号列、調整信号列、および第 3 の特定信号列を発生する。以下、本実施の形態では、図 1 3 中に例示するように、無効データ列を " 0 ... 0 " (図 1 3 (h) 参照)、調整信号列を " 1 0 ... 1 0 " (図 1 3 (b), (h) 参照)、第 1 の特定信号列を " 1 1 0 0 " (図 1 3 (h) 参照)、第 2 の特定信号列を " 1 0 1 0 " (図 1 3 (b) 参照)、第 3 の特定信号列を " 1 1 0 0 " (図 1 3 (b) 参照) であるものとする。調整制御論理回路 4 0 0 は、第 1 のトランスミッタ回路 2 0 0 と同期して、調整開始時に第 2 の特定信号列および調整信号列を第 2 のトランスミッタ回路 3 0 0 に送出し、調整終了時に第 3 の特定信号列を送出し、他の時は無効信号を送出する。無効信号はオール 0 であってもよい。また、第 1 のトランスミッタ回路 2 0 0 からデータ信号に無効データ列、調整信号列、

および第1の特定信号列が出力されるようにし、最初と終わりとの時期が一致するように設定する。

【0026】

第2のアナログPLL回路500は、第1のアナログPLL回路100と同じ回路構成を有し、PD510と、VCO520と、カウンタ530とから構成され、システムクロックCLKSYSに同期した $n/2$ 通倍の周波数の伝送用クロックを作成し、第1のデータ処理回路600および第2のデータ処理回路700に分配する。第2のアナログPLL回路500は、REFクロックは、第1のアナログPLL回路100で使用したREFクロックと同じ周波数とする。

【0027】

第1のデータ処理回路600は、レシーバ610と、DLL回路620と、サンブラ&1:2デマルチプレクサ630と、1:nデマルチプレクサ640と、第1の頭出し検出回路&整列化回路650と、mアドレスnビットFIFO回路660と、mウェイnビットマルチプレクサ670と、nビットレジスタ680とから構成されている。

【0028】

第2のデータ処理回路700は、第1のデータ処理回路600の制御を行う機能を有し、レシーバ710と、DLL回路720と、サンブラ&1:2デマルチプレクサ730と、1:nデマルチプレクサ740と、第2の頭出し検出回路750と、同期化回路760と、リードアドレス発生回路770とから構成されている。なお、レシーバ710、DLL回路720、サンブラ&1:2デマルチプレクサ730、および1:nデマルチプレクサ740は、第1のデータ処理回路600におけるレシーバ610、DLL回路620、サンブラ&1:2デマルチプレクサ630、および1:nデマルチプレクサ640と同じ機能および構成である。

【0029】

次に、このように構成された第1の実施の形態に係る低レーテンシ高速伝送システムの動作について詳しく説明する。

【0030】

第1のアナログPLL回路100は、システムクロックCLKSYSまたはシステムクロックCLKSYSと一定の位相関係にある同じまたは正数分の1の周波数を持つ信号をREFクロック入力とし、 $n/2$ 周期毎にシステムクロックCLKSYSと同じ位相になるシステムクロックCLKSYSの $n/2$ 通倍の周波数を有する伝送用クロックを発生する。伝送用クロックは、複数の n ビットに分割されたパラレルデータ信号を n ビットのシリアルデータ信号にするために使用される。

【0031】

n ビットレジスタ210は、図示しない論理側から送られてきた入力パラレルデータ信号を分割した n ビットのパラレルデータ信号をシステムクロックCLKSYSと同じ周波数のクロックまたはシステムクロックCLKSYSに同期して受け取る。

【0032】

$n/2 : 1$ マルチプレクサ220および $2 : 1$ マルチプレクサ230からなるパラレル-シリアル変換回路は、 n ビットのパラレルデータ信号をシリアルデータ信号に変換する。

【0033】

プリエンファシス制御回路230は、オール0やオール1を伝送するために、ACカップリングによる伝送ができないことから、直流成分を確保して、伝送するために必要となる。すなわち、プリエンファシス制御回路230は、1データ分前の負のデータ信号と伝送するデータ信号とが等しい時（つまり変化するとき）は、出力振幅を大きくして受信端での立ち上がり時間を速くし、異なる時（つまり変化しないとき）は、1データ分前の負のデータ信号と伝送するデータ信号とが等しい時の出力振幅を大きくした波形が受信端に到達し、さらに1データ周期分遅れた時点での電圧になるようにドライバ240の出力インピーダンスを変化させ、伝送系の直流抵抗と受信端の終端抵抗とによって分割された直流電圧が等しい電圧になるようにする。このプリエンファシス制御を行うことによって、オール0やオール1が連続し、立ち上がりまたは立ち下がり時に振幅が定常状態まで達しない場合でも、常時変化し、伝送路800の周波数特性によって高周波傾

域の信号が減衰し、振幅が小さくなった場合でも、受信端における変化する直前の電圧を各々一定にでき、かつ変化時の振幅も一定にできるため、伝送されたデータ信号の確定した領域（アイ）を大きくすることができる。また、プリエンファシスする量を、プリエンファシスしないことを含め、複数個準備して選択可能にすることにより、ケーブルだけで無く、プリント板配線による減衰量を含めた伝送路 8 0 0 の減衰量に応じて選択可能にできる。このようにすることにより、イコライザ付きケーブルのように、ケーブルだけの最適化で無く、伝送路 8 0 0 全体の減衰量に応じた最適化が可能になる。

【 0 0 3 4 】

ドライバ 2 4 0 は、シリアルデータ信号のプリエンファシスを行いながら伝送路 8 0 0 を介して伝送を行う。

【 0 0 3 5 】

受信側では、DLL 回路 6 2 0 が、第 2 のアナログ PLL 回路 5 0 0 の出力である伝送用クロックを遅延させたクロックとシリアルデータ信号とを位相比較し、その遅延時間を制御することにより、立ち上がりおよび立ち下がりにてデータの中心をサンプリングするようにサンプリングクロック CK 1（図 5 参照）を調整する。送信側より同時に出力されたデータ信号は、各伝送路 8 0 0 を通過する際に、伝送路 8 0 0 や回路のばらつきにより、異なった遅延時間後に到達する。しかし、データを正しく受け取るためには、アイの中心においてサンプリングすることが重要であり、各データ信号毎にアイの中心になるように DLL 回路 6 2 0 によってサンプリングクロック CK 1 の位相を調整する。

【 0 0 3 6 】

サンブラ&1：2 デマルチプレクサ 6 3 0 は、入力パラレルデータの中心において、サンプリングクロック CK 1 の前縁および後縁で 2 つのデータをサンプリングするとともに、出力のタイミングをサンプリングクロック CK 1 の後縁に統一してサンプリングした並列の 2 つのデータ信号を出力する。

【 0 0 3 7 】

1：n デマルチプレクサ 6 4 0 は、サンブラ&1：2 デマルチプレクサ 6 3 0 からの 2 つの出力を、さらに n ビット毎に、システムクロック CLK SYS と同じ

周期毎に、交互にサンプリングしてシステムクロックCLKSYSの2倍の周期で変化するパラレルデータ信号を作成する。

【0038】

第1の頭出し検出回路650は、その出力である調整制御信号startが有効のときにリセットしてDLL回路620の調整中を示し、DLL回路620の調整中に1:nデマルチプレクサ640の出力に第1の特定信号列が検出されると、セットして調整終了を示す調整制御信号startを作成し、調整制御信号startがリセットされDLL回路620の調整中を示しているときに、第1の特定信号列が検出されると、調整制御信号startをセットして調整終了を示し、先頭ビット位置を記憶してホールドする。

【0039】

整列化回路650は、調整制御信号startのリセットにより出力を無効にし、調整制御信号startがセットされたときに、第1の頭出し検出回路650の先頭ビット位置の記憶結果に従い、一致した信号列の次のビットからnビットをnビット毎にデータとして出力する。

【0040】

mアドレスnビットFIFO回路660は、第1の頭出し検出回路650からの調整制御信号startを起動信号とし、調整制御信号startがDLL回路620の調整中を指示するリセット時にライトアドレスを停止し、調整制御信号startがDLL回路620の調整終了を示すセット時に次のサイクルから、アドレス0からアドレス(m-1)まで循環してライトアドレスを発生し、このライトアドレスに従い第1の特定信号列の次のnビットから始まる整列化回路650の出力データを書き込む。

【0041】

mウェイnビットマルチプレクサ670は、リードアドレス発生回路770からのリードアドレスに従い、mアドレスnビットFIFO回路660に書き込まれたnビットのデータを選択して取り出す。

【0042】

nビットレジスタ680は、mウェイnビットマルチプレクサ670のnビット

の出力データをシステムクロックCLKSYSで書き込み、出力する。

【0043】

次に、各回路の具体例を図3ないし図12を用いてより詳しく説明する。

【0044】

まず、図3を参照して、 $n/2:1$ マルチプレッサ220の具体例について説明する。

【0045】

図3に示す $2:1$ マルチプレッサ&レジスタ221は、 $n/2:1$ マルチプレッサ220の構成要素であり、 $n/2:1$ マルチプレッサ220は、1段目の前段のフリップフロップF30、F31を n ビットレジスタとし、2段目以降を $2:1$ マルチプレッサ&レジスタ221のフリップフロップF32を前段のレジスタとするような $2:1$ マルチプレッサ&レジスタ221を縦続接続して構成される。 $n/2:1$ マルチプレッサ220は、2つの出力を $2:1$ マルチプレッサ230に入力する。

【0046】

パラレル-シリアル変換機能は、前段のフリップフロップF30、F31の2ビットを入力とし、前段のフリップフロップF30、F31のクロックCK30を選択信号とし、クロックCK30の最初の半周期はフリップフロップF30の出力を選択し、残り半周期をフリップフロップF31の出力を選択するセクタS0と、クロックCK30の2通倍の周波数を持ち、クロックCK30のサンプリングエッジと異なる位相となるクロックCK31のエッジにて、セクタS0の出力をサンプリングするフリップフロップF32とから構成される複数の $2:1$ マルチプレッサ&レジスタ221とする。

【0047】

$2:1$ マルチプレッサ&レジスタ221で使用される前段のフリップフロップF30、F31のサンプリングクロックCK30および2通倍の周波数を持つクロックCK31は、第1のアナログPLL回路100のVCO120の出力およびカウンタ130の出力から得られる。

【0048】

このような $n/2 : 1$ マルチプレッサ 2 2 0 の構成をとることにより、前段のクロック CK 3 0 の半周期は、2 通倍の周波数を持つクロック CK 3 1 の有効エッジから見ると前後 1 8 0 度離れており、充分余裕を持ってサンプリングすることができる。

【 0 0 4 9 】

次に、図 4 を参照して、2 : 1 マルチプレッサ 2 3 0 の具体例について説明する。

【 0 0 5 0 】

2 : 1 マルチプレッサ 2 3 0 の具体例は、 $n/2 : 1$ マルチプレッサ 2 2 0 のフリップフロップ F 4 0, F 4 1 のサンプリングエッジが後縁となるようにしたサンプリングクロック CK 4 1 を選択信号として、フリップフロップ F 4 0 の正出力および負出力をサンプリングクロック CK 4 1 の前半周期に選択し、サンプリングクロック CK 4 1 の前縁をサンプリングエッジとしてフリップフロップ F 4 1 の出力をサンプリングしたフリップフロップ F 4 2 の正出力および負出力をサンプリングクロック CK 4 1 の後半周期に選択し、各々切り替えて出力するセクタ S 4 0, S 4 1 から構成される。

【 0 0 5 1 】

このような 2 : 1 マルチプレッサ 2 3 0 の構成をとることにより、フリップフロップ F 4 0 の出力は、サンプリングクロック CK 4 1 の後縁より遅く変化するために、サンプリングクロック CK 4 1 がフリップフロップ F 4 0 の出力を選択しているときは、フリップフロップ F 4 0 の出力が変化しないことが保証され、フリップフロップ F 4 2 の出力は、サンプリングクロック CK 4 1 の前縁より遅く変化するため、サンプリングクロック CK 4 1 がフリップフロップ F 4 2 の出力を選択しているときは、フリップフロップ F 4 2 の出力が変化しないことが保証され、選択した後で波形が変化することがなくなるという効果が得られる。

【 0 0 5 2 】

次に、図 4 を参照して、プリアンファシス制御回路 2 3 0 の具体例について説明する。

【 0 0 5 3 】

プリエンファシス制御回路 2 3 0 の具体例は、サンプリングクロック C K 4 1 の前縁をサンプリングエッジとして、 $n/2 : 1$ マルチプレクサ 2 2 0 のフリップフロップ F 4 0 の正出力をサンプリングして取り込むフリップフロップ F 4 3 と、サンプリングクロック C K 4 1 の後縁、かつ次のサイクルにおいてフリップフロップ F 4 1 の正出力をサンプリングして取り込むフリップフロップ F 4 4 と、フリップフロップ F 4 3 および F 4 4 の正出力および負出力を、サンプリングクロック C K 4 1 の反転信号を選択信号として選択し、前半周期にフリップフロップ F 4 4 の正出力および負出力、後半周期にフリップフロップ F 4 3 の正出力および負出力を得るセレクタ S 4 2, S 4 3 とから構成される。

【 0 0 5 4 】

プリエンファシス制御回路 2 3 0 は、フリップフロップ F 4 0 および F 4 2 の出力を選択するセレクタ S 4 0, S 4 1 の出力より、サンプリングクロック C K 4 1 の半周期分遅れた、つまりデータ信号の 1 データ分前の信号が得られる。この 1 データ分前の負のデータ信号と伝送するデータ信号とが等しい時（つまり変化するとき）は、出力振幅を大きくして受信端での立ち上がり時間を速くし、異なる時（つまり変化しないとき）は、1 データ分前の負のデータ信号と伝送するデータ信号とが等しい時の出力振幅を大きくした波形が受信端に到達し、さらに 1 データ周期分遅れた時点での電圧になるようにドライバ 2 4 0 の出力インピーダンスを変化させ、伝送系の直流抵抗と受信端の終端抵抗とによって分割された直流電圧が等しい電圧になるようにする。

【 0 0 5 5 】

次に、図 5 を参照して、D L L 回路 6 2 0 の具体例について説明する。

【 0 0 5 6 】

D L L 回路 6 2 0 の具体例は、データ信号の確定領域であるアイの中心にサンプリングクロック C K 1 を調整するためのものであり、微少な遅延時間差をもった複数のタップ出力を有する 2 つのディレーチェーン D L 1, D L 2 と、2 つの位相検出回路 P D 3, P D 4 と、2 つのアップダウンカウンタ U D C 1, U D C 2 と、3 つの遅延制御回路 D C 1, D C 2, D C 3 と、遅延補正回路 D R 1 とから構成される。

【 0 0 5 7 】

第2のアナログPLL回路500の出力である伝送用クロックCLK_{in}は、ディレーチェーンDL1に入力され、遅延制御回路DC1は、アップダウンカウンタUDC1の遅れ(pup)または進み(pdn)の指示によって、遅れ信号(pup)または進み信号(pdn)がある毎に1タップずつ、ディレーチェーンDL1の遅延時間の大きい方または小さい方のタップのクロックを選択することを指示し、セクタS5は、指示されたタップのクロックを選択して出力する。

【 0 0 5 8 】

セクタS5の出力は、クロックとして遅延制御回路DC1を動作させるとともに、ディレーチェーンDL2に入力され、さらにはセクタS6、S7の遅延時間と等しい時間だけ遅らせたクロックCK0を作成する遅延補正回路DR1に入力される。

【 0 0 5 9 】

また、ディレーチェーンDL2の微少な遅延時間差を持った複数のタップ出力は、アップダウンカウンタUDC2の遅れ(wup)または進み(wdn)の指示に従い、遅延制御回路DC2が遅れ信号(wup)または進み信号(wdn)がある毎に1タップずつ、各々ディレーチェーンDL2の遅延時間の大きい方または小さい方のタップ出力のクロックを選択することを指示し、指示された結果に基づきセクタS6により選択され、クロックCK2を出力する。

【 0 0 6 0 】

遅延制御回路DC3は、内部にアップダウンカウンタを有し、遅れ信号(wup)または進み信号(wdn)がある毎にアップまたはダウンを繰り返し、どちらか一方が2回多くなる毎に1タップずつ、各々ディレーチェーンDL2の遅延時間の大きい方または小さい方のタップのクロックを選択し、クロックCK0とクロックCK2との中間の遅延となるようにタップを選択することを指示し、指示された結果に基づきセクタS7により、サンプリングクロックCK1を選択する。

【 0 0 6 1 】

位相検出回路PD3は、遅延補正回路DR1からのクロックCK0の前縁または

後縁で、レシーバ 6 1 0 を介した入力データ信号の変化点をサンプリングした結果と、同じ入力データ信号の確定点においてサンプリングクロック C K 1 の前縁および後縁でサンプリングした結果である変化点の前後の確定点でのサンプリング結果とを比較し、直前のデータ確定点での結果と異なるときはデータ信号の変化点が速いと判断して進み信号 (d n 0) を出力し、直後のデータ確定点での結果と異なるときはデータ信号の変化点が遅いと判断して遅れ信号 (u p 0) を出力する。この進み信号 (d n 0) および遅れ信号 (u p 0) は、アップダウンカウンタ U D C 1 に入力され、進み信号 (d n 0) および遅れ信号 (u p 0) の一方が他方より一定回数だけ多くなった時点で進み (p d n) または遅れ (p u p) の指示を遅延制御回路 D C 1 に送る。

【 0 0 6 2 】

ここで、入力データ信号の確定点においてサンプリングクロック C K 1 の前縁および後縁でサンプリングした結果は、サンプラ & 1 : 2 デマルチプレクサ 6 3 0 において、サンプリングクロック C K 1 の前縁および後縁でサンプリングした結果と同じため、サンプラ & 1 : 2 デマルチプレクサ 6 3 0 の出力を使用してもよい。

【 0 0 6 3 】

アップダウンカウンタ U D C 1 を付加することにより、ノイズや波形ひずみ等により位相が一時的に変化した場合にも平均化されて遅いか進んでいるかが判断されるため、不適切な指示を少なくすることができる。また、アップダウンカウンタ U D C 1 により、一定時間以上経過しないと進み (p d n) または遅れ (p u p) の指示が遅延制御回路 D C 1 に対して出されないため、進み (p d n) または遅れ (p u p) の指示が遅延制御回路 D C 1 に対して一度出されてから次の指示を出すまでの時間を遅くでき、遅延制御回路 D C 1 が変化してから、その選択結果のクロックを使用して次の位相検出を行い、その結果から遅延制御回路 D C 1 へ次の指示を作成するまでに要する時間を確保でき、位相が等しくなってきた時点でのオーバーシュートを防止できる。

【 0 0 6 4 】

位相検出回路 P D 4 は、変化点となるクロック C K 0 の 1 8 0 度遅れの位相を、

約半周期遅らせたクロックCK2でサンプリングした結果と、クロックCK2の半分の遅延時間を有するサンプリングクロックCK1によりクロックCK0の確定点でサンプリングした結果とを比較する回路であり、位相検出回路PD3と同様に、変化点の前後の確定点でのサンプリングの結果と変化点でのサンプリング結果とを比較し、進み信号(d n 1)または遅れ信号(u p 1)をアップダウンカウンタUDC2に出力する。

【0065】

なお、位相検出回路PD4は、入力データがクロックCK0であり、常時変化することが期待できるため、クロックCK2でサンプリングした2つの変化点の結果と、その間のサンプリングクロックCK1でサンプリングした確定点の結果とを比較し、直前の変化点でのサンプリング結果が確定点での結果と異なるときはクロックCK0の変化点が遅いと判断して遅れ信号(u p 1)を出力し、直後の変化点の結果が確定点での結果と異なるときはクロックCK0の変化点が速いと判断して進み信号(d n 1)を出力する回路としてもよい。

【0066】

アップダウンカウンタUDC2は、位相検出回路PD4の出力を入力し、アップダウンカウンタUDC1と同様に、どちらか一方が他方より一定回数多くなった時点で、進み信号(w d n)または遅れ信号(w u p)を出力する。この進み信号(w d n)または遅れ信号(w u p)は、遅延制御回路DC2および遅延制御回路DC3に送られる。

【0067】

また、位相検出回路PD3および位相検出回路PD4の位相比較は、1クロックサイクル中に立ち上がりおよび立ち下りの2回比較してもよい。1または0が連続した後に0または1が1回出るような場合に、前縁は遅く、後縁は速くなる傾向があることや、第1のトランスミッタ回路200に入力された $n/2$ 通倍の周波数の伝送用クロックのパルス幅がサイクルの50%からずれたときに、1サイクルに1回だけの比較であると偏りが生じ、データの中心から一方にずれて調整されるが、2回比較することにより平均化され、進みと遅れとがキャンセルし合い、データの中心に近いところでサンプリングすることができるというメリッ

トが生じる。

【 0 0 6 8 】

次に、図 5 および図 6 を参照して、サンプラ & 1 : 2 デマルチプレクサ 6 3 0 の具体例について説明する。

【 0 0 6 9 】

サンプラ & 1 : 2 デマルチプレクサ 6 3 0 の具体例は、シリアルデータ信号をデータの中心においてサンプリングクロック CK 1 の前縁でサンプリングするフリップフロップ F 5 1 と、シリアルデータ信号をサンプリングクロック CK 1 の後縁でサンプリングするフリップフロップ F 5 2 と、フリップフロップ F 5 1 の出力をさらにサンプリングクロック CK 1 の後縁でサンプリングするフリップフロップ F 5 3 とから構成される。

【 0 0 7 0 】

サンプラ & 1 : 2 デマルチプレクサ 6 3 0 は、データの中心においてサンプリングクロック CK 1 の前縁および後縁で 2 つのデータをサンプリングするとともに、付加したフリップフロップ F 5 3 により出力のタイミングをサンプリングクロック CK 1 の後縁に統一してサンプリングしたシステムクロック CLK SYS の $n/2$ 倍の周波数を有する並列の 2 つのデータ信号を得ることができる。

【 0 0 7 1 】

次に、図 6 を参照して、1 : n デマルチプレクサ 6 4 0 の具体例について説明する。

【 0 0 7 2 】

図 6 中に示す 1 : 2 デマルチプレクサ 6 4 1 は、1 : n デマルチプレクサ 6 4 0 の構成要素であり、1 : n デマルチプレクサ 6 4 0 は、1 : 2 デマルチプレクサ 6 4 1 を、1 : $n/4$ デマルチプレクサを構成するまで前段の各々の出力に縦続接続して構成される。

【 0 0 7 3 】

カウンタ CNT 6 1 は、サンプラ & 1 : 2 デマルチプレクサ 6 3 0 の統一したサンプリングクロック CK 1 の後縁と異なる前縁で分周する。

【 0 0 7 4 】

1 : 2 デマルチプレクサ 6 4 1 は、カウンタ CNT 6 1 の出力であるクロック CK 2 T の前縁および後縁を使用してサンプリングした 1 : 2 デマルチプレクサ 6 3 0 の出力をサンプリングするフリップフロップ F 6 1 および F 6 2 と、クロック CK 2 T の前縁でサンプリングしたフリップフロップ F 6 1 の出力をクロック CK 2 T の後縁でサンプリングするフリップフロップ F 6 3 とから構成される。

【 0 0 7 5 】

1 : 2 デマルチプレクサ 6 4 1 は、フリップフロップ F 6 3 を付加することにより、出力のタイミングをクロック CK 2 T の後縁で統一してサンプリングした並列の 2 つのデータ信号を得ることができる。また、前段のサンプリングした 1 : 2 デマルチプレクサ 6 3 0 の統一したサンプリングクロック CK 1 の後縁から出力までの遅延と、前縁からカウンタ CNT 6 1 の出力までの遅延とはほぼ等しくなるため、サンプリングクロック CK 1 のパルス幅を 5 0 % にすることにより、カウンタ CNT 6 1 の出力であるクロック CK 2 T の前縁および後縁は、サンプリングした 1 : 2 デマルチプレクサ 6 3 0 の出力の変化点の中央でサンプリングできるというメリットも生じる。

【 0 0 7 6 】

また、サンプリングした 1 : 2 デマルチプレクサ 6 3 0 のもう一方の出力にも、1 : 2 デマルチプレクサ 6 4 1 が接続される。ただし、 $n = 4$ の時は、1 : $n / 4$ デマルチプレクサは 1 : 1 となり、1 : 2 デマルチプレクサ 6 4 1 は省略され、サンプリングした 1 : 2 デマルチプレクサ 6 3 0 の出力を使用する。

【 0 0 7 7 】

次に、1 : $n / 4$ デマルチプレクサの各々の出力は、図 7 のような 1 : 4 デマルチプレクサ 6 4 2 に接続され、1 : n デマルチプレクサ 6 4 0 が構成される。サンプリングした 1 : 2 デマルチプレクサ 6 3 0 を含めれば、1 : 2 n デマルチプレクサが構成される。

【 0 0 7 8 】

カウンタ CNT 7 1 は、前段のレジスタのサンプリングクロック CK 2 T の後縁と異なる前縁を使用して 2 分周したクロック CK 3 T を作成する。

【 0 0 7 9 】

カウンタCNT72は、クロックCK3Tの後縁を使用して2分周したクロックCK4Tを作成する。

【0080】

1:4デマルチプレクサ642は、クロックCK4Tの前半周期にクロックCK3Tの前縁で入力データ信号をサンプリングしてクロックCK4Tの後半周期でホールドするフリップフロップF71と、クロックCK4Tの前半周期にクロックCK3Tの後縁でサンプリングしてクロックCK4Tの後半周期でホールドするフリップフロップF72と、クロックCK4Tの後半周期にクロックCK3Tの前縁で入力データ信号をサンプリングしてクロックCK4Tの前半周期でホールドするフリップフロップF74と、クロックCK4Tの後半周期のクロックCK3Tの後縁でサンプリングしてクロックCK4Tの前半周期ではホールドするフリップフロップF75と、フリップフロップF71の出力をクロックCK3Tの後縁でサンプリングするフリップフロップF73およびフリップフロップF74の出力をクロックCK3Tの後縁でサンプリングするフリップフロップF76とから構成される。

【0081】

1:2デマルチプレクサ641の他の出力、および他の1:2デマルチプレクサ641の出力に1:4デマルチプレクサ642を接続することにより、入力データ信号がシステムクロックCLKSYSと同じ周波数のクロックとなるクロックCK3Tの後縁のタイミングに統一され、システムクロックCLKSYSの2倍の周期(1/2の周波数)であるクロックCK4Tの前半周期および後半周期毎にデータが取り込まれ、前半周期でサンプリングしたときは、その前の周期の後半周期で取り込んだデータと連続し、後半周期に取り込んだときは、その周期の前半周期で取り込んだデータと連続したデータが得られ、連続した2nビット分のデータ信号を得ることができる。

【0082】

なお、図7では、1:4デマルチプレクサ642は、前段を1:2デマルチプレクサ641としているが、サンブラ&1:2デマルチプレクサ630としてもよい。

【 0 0 8 3 】

次に、図 8 を参照して、第 1 の頭出し検出回路 6 5 0 の具体例について説明する。

【 0 0 8 4 】

第 1 の頭出し検出回路 6 5 0 の具体例は、 $n = 4$ の場合の一例であり、第 1 の頭出しコンペア回路 6 5 1 と、頭出し制御回路 6 5 2 と、先頭ビット位置記憶回路 6 5 3 とから構成されている。ここで、シリアルデータ信号として入力された順に、クロック $CK4T$ の前半周期でサンプリングした結果を $D0$ 、 $D1$ 、 $D2$ 、 $D3$ とし、後半周期でサンプリングした結果を $D4$ 、 $D5$ 、 $D6$ 、 $D7$ とするものとする。

【 0 0 8 5 】

第 1 の頭出しコンペア回路 6 5 1 は、データの先頭ビット位置を決めるために、第 1 の特定信号列である $C0$ 、 $C1$ 、 $C2$ 、 $C3$ と、データである $D0$ 、 $D1$ 、 $D2$ 、 $D3$ 、 $D4$ 、 $D5$ 、 $D6$ 、 $D7$ の各ビットから始まる 4 ビットとを比較するコンペア回路 $CP8$ 、 $CP1$ 、 $CP2$ 、 $CP3$ 、 $CP4$ 、 $CP5$ 、 $CP6$ 、 $CP7$ と、各々の 4 ビットの最終ビットがクロック $CK4T$ の後半周期となる先頭ビット $D1$ 、 $D2$ 、 $D3$ 、 $D4$ から始まるビット列を比較したコンペア回路 $CP1$ 、 $CP2$ 、 $CP3$ 、 $CP4$ の出力をオアするオア回路 $OR81$ と、各々の 4 ビットの最終ビットがクロック $CK4T$ の前半周期にサンプリングしたビットとなる先頭ビット $D5$ 、 $D6$ 、 $D7$ 、 $D0$ から始まるビット列を比較したコンペア回路 $CP5$ 、 $CP6$ 、 $CP7$ 、 $CP8$ の出力をオアするオア回路 $OR82$ と、オア回路 $OR81$ の出力の確定時期であるクロック $CK4T$ の前半周期に選択し、オア回路 $OR82$ の出力の確定時期であるクロック $CK4T$ の後半周期に選択するセレクタ $S81$ とから構成される。

【 0 0 8 6 】

各先頭ビットから始まる 4 ビットの最終ビットがクロック $CK4T$ の後半周期にサンプリングしたビット列は、クロック $CK4T$ の後半周期のクロック $CK3T$ の後縁からクロック $CK4T$ の前半周期のクロック $CK3T$ の後縁直前までが確定時期であり、4 ビットの最終ビットがクロック $CK4T$ の前半周期にサンプリ

ングしたビット列は、クロックCK4Tの前半周期のクロックCK3Tの後縁からクロックCK4Tの後半周期のクロックCK3Tの後縁直前までが確定時期となることから、上記構成をとることにより、各々の4ビットが連続した4ビットとなる確定時期に、第1の特定信号列が存在したかどうかをセレクタS81の出力をみることによって判断できる。

【0087】

頭出し制御回路652は、第2のデータ処理回路700からの調整開始信号を、クロックCK3Tに同期化するためのフリップフロップF81、F82と、フリップフロップF82の負出力とフリップフロップF83の出力とをアンドし、その出力と第1の頭出しコンペア回路651のセレクタS81の出力とをオアした信号を入力とするフリップフロップF83とから構成される。

【0088】

このような頭出し制御回路652の構成をとることにより、微分波形である調整開始信号がきて、フリップフロップF81、F82により同期化され、フリップフロップF82の負出力は、1, 0, 1となるが、0のときにフリップフロップF83を0にすると、フリップフロップF83の出力はアンド出力を0にし、フリップフロップF82の負出力が1に戻っても、アンド出力は0を保ち、オア回路のもう一方の頭出し検出信号となるセレクタS81の出力が1になるのを待ち、セレクタS81が1になると、フリップフロップF83を1にする。フリップフロップF83が1になると、そのときにはフリップフロップF82の負出力は1に戻っているため、アンド回路の出力は1となり、オア回路の出力も1になり、フリップフロップF83は、オア回路のもう一方の入力である第1の頭出しコンペア回路651の出力がどのようなになっても1のままラッチし、次に調整開始信号がくるまでその状態を保持する。ここで、フリップフロップF83の出力である調整制御信号startは、リセット(0)のときを調整中、セット(1)のときを調整終了と置き換えることができる。

【0089】

先頭ビット位置記憶回路653は、先頭ビット位置を記憶するために、コンペア回路CP1, CP2, CP3, CP4の出力をデータ入力とし、クロックCK4

Tの前半周期で、かつ調整制御信号 $s t r t$ が調整中のときにデータを取り込み、他の条件のときにホールドするホールド付きフリップフロップ $R 1, R 2, R 3, R 4$ と、コンペア回路 $C P 5, C P 6, C P 7, C P 8$ の出力をデータ入力とし、クロック $C K 4 T$ の後半周期で、かつ調整制御信号 $s t r t$ が調整中のときにデータを取り込み、他の条件のときにホールドするホールド付きフリップフロップ $R 5, R 6, R 7, R 8$ とから構成される。

【0090】

クロック $C K 4 T$ の前半周期で、かつ調整制御信号 $s t r t$ が調整中のときにデータを取り込み、他の条件のときにホールドするためには、図8に示すように、クロック $C K 4 T$ の負信号と調整制御信号 $s t r t$ とをオアした信号を、0のときにサンプリングし、1のときにホールドとするホールド付きフリップフロップ $R 1, R 2, R 3, R 4$ のホールド端子に入力すればよい。また、クロック $C K 4 T$ の後半周期で、かつ第1の頭出し検出回路650からの調整制御信号 $s t r t$ である調整制御信号 $s t r t$ が調整中のときにデータを取り込み、他の条件のときにホールドするためには、クロック $C K 4 T$ の出力と第1の頭出し検出回路650からの調整制御信号 $s t r t$ である調整制御信号 $s t r t$ とをオアした信号を、ホールド付きフリップフロップ $R 5, R 6, R 7, R 8$ のホールド端子に入力すればよい。

【0091】

このようにして、第1の頭出し検出回路650は、入力データ信号と第1の特定信号列とを常時比較し、調整開始信号がこない時はホールドし、調整開始信号がくると調整中となり、調整中にデータ信号中に第1の特定信号列がきたならば調整終了を指示し、その先頭ビット位置を記憶することができる。

【0092】

なお、図8の第1の頭出し検出回路650の具体例においては、 $n = 4$ としたが、 n は他の値でもよく、その場合は、コンペア回路は、 $C P 1, \dots, C P 2n$ の $2n$ 個となり、オア回路 $O R 8 1, O R 8 2$ は、各々 n 入力となり、コンペア回路 $C P 1, \dots, C P n$ までの出力がオア回路 $O R 8 1$ の入力に接続され、コンペア回路 $C P n + 1, \dots, C P 2n$ の出力がオア回路 $O R 8 2$ の入力に接続され、

ホールド付きフリップフロップ R_1, \dots, R_8 は、ホールド付きフリップフロップ R_1, \dots, R_{2n} の $2n$ 個となり、コンペア回路 CP_1, \dots, CP_n の出力が各々ホールド付きフリップフロップ R_1, \dots, R_n の入力に接続され、コンペア回路 CP_{n+1}, \dots, CP_{2n} の出力が、各々ホールド付きフリップフロップ R_{n+1}, \dots, R_{2n} の入力に接続される。データの確定時期については、前記のように、 $1:n$ デマルチプレクサ 640 にて、最終ビットがクロック CK_4T の前半周期でサンプリングされたか、後半周期でサンプリングされたかによって決められ、最終ビットがクロック CK_4T の後半周期でサンプリングされた先頭ビットは D_1, \dots, D_n であり、クロック CK_4T の前半周期でサンプリングされた先頭ビットは D_{n+1}, \dots, D_{2n-1} および D_0 であり、 C_0, \dots, C_3 は、 C_0, \dots, C_{n-1} となる。セレクタ S_{81} と頭出し制御回路 652 とについては、 n が 4 のときと変わらない。

【0093】

次に、図 9 を参照して、整列化回路 650 の具体例について説明する。

【0094】

整列化回路 650 の具体例は、第 1 の頭出し検出回路 650 にて先頭ビット位置を記憶した結果である先頭ビット位置記憶回路 653 の出力 M_1 と M_5 、 M_2 と M_6 、 M_3 と M_7 、 M_4 と M_8 をそれぞれオアするオア回路群と、オア回路群の出力が示す 2 つの先頭ビットから 4 ビットを $1:n$ デマルチプレクサ 640 の出力から選択し、さらに先頭ビットが D_1, \dots, D_4 の時はクロック CK_4T の前半周期に選択し、先頭ビットが D_5, \dots, D_7 、 D_0 の時はクロック CK_4T の後半周期に選択するセレクタ S_{91} 、 S_{92} 、 S_{93} 、 S_{94} と、セレクタ S_{91} 、 S_{92} 、 S_{93} 、 S_{94} の出力の 4 ビットをクロック CK_3T の後縁でサンプリングするフリップフロップ F_{91} 、 F_{92} 、 F_{93} 、 F_{94} とから構成される。

【0095】

セレクタ S_{91} 、 S_{92} 、 S_{93} 、 S_{94} は、第 1 の頭出し検出回路 650 からの調整制御信号 $strt$ が調整中を指示したときにデータを無効にし、調整終了を示したときに、第 1 の頭出し検出回路 650 にて記憶された先頭ビット位置が

示す第1の特定信号列の次のビットから始まる n ビットを n ビット毎にデータ信号として取り出す。

【0096】

さらに、セクタ $S91$, $S92$, $S93$, $S94$ を第1の頭出し検出回路650からの調整制御信号 $start$ が終了時に有効とし、調整中に無効とするように制御することにより、データを有効とするときは変わらないが、無効にするときにクロック $CK3T$ の1サイクル分速くできる。

【0097】

このような整列化回路650の構成をとることにより、第1の頭出し検出回路650が第1の特定信号列を検出して先頭ビット位置を記憶したときは、まだその出力はどれも選んでいないため、セクタ $S91$, $S92$, $S93$, $S94$ の出力はどのビットも選ばず、フリップフロップ $F91$, $F92$, $F93$, $F94$ はオール0（または無効データ）が記憶される。

【0098】

第1の特定信号列が検出されて先頭ビット位置が記憶され、調整制御信号 $start$ が出された次のサイクルから、第1の特定信号列が検出されたクロック $CK4T$ の半周期と異なる半周期の先頭ビットである次のビットから交互に、順次4ビット毎に4ビットが選択され、フリップフロップ $F91$, $F92$, $F93$, $F94$ に取り込まれる。

【0099】

なお、図9の整列化回路650の具体例においては、 $n=4$ としたが、 $M1$, ..., $M8$ を $M1$, ..., $M2n$ とし、オア回路群の入力を $M1$ と $Mn+1$, $M2$ と $Mn+2$, ..., $Mn-1$ と $M2n$ とし、セクタ $S91$, $S92$, $S93$, $S94$ をセクタ $S91$ から n ビット分とし、そのセクタが前半周期に選択する先頭ビットを $D1$, ..., Dn 、後半周期に選択する先頭ビットを $Dn+1$, ..., $D2n-1$ および $D0$ とし、フリップフロップ $F91$, $F92$, $F93$, $F94$ をフリップフロップ $F91$ から n ビット分としてもよい。

【0100】

第1の頭出し検出回路650の説明のときに述べたように、 $1:n$ デマルチプレ

クサ 6 4 0 の出力の $2n$ ビットの確定時期については、 n ビットの最終ビットがクロック CK 4 T の後半周期にサンプリングしたビット列は、クロック CK 4 T の後半周期のクロック CK 3 T の後縁からクロック CK 4 T の前半周期のクロック CK 3 T の後縁直前までが確定時期であり、 n ビットの最終ビットがクロック CK 4 T の前半周期にサンプリングしたビット列は、クロック CK 4 T の前半周期のクロック CK 3 T の後縁からクロック CK 4 T の前半周期のクロック CK 3 T の後縁直前までが確定時期となるため、各々の n ビットの最終ビットがクロック CK 4 T の後半周期となる先頭ビット D_1, D_2, \dots, D_n と、各々の n ビットの最終ビットがクロック CK 4 T の前半周期となる先頭ビット $D_{n+1}, D_{n+2}, \dots, D_{2n-1}, D_0$ とに分かれる。しかし、先頭ビットが、 D_0 の時の 1 回目の n ビットをとった次の n ビットの先頭ビットは D_n であり、 D_1 の時の次の先頭ビットは D_{n+1} となり、 D_0 と D_n , D_1 と D_{n+1} , D_2 と D_{n+2} , \dots , D_{n-2} と D_{2n-1} は、同じ先頭ビットを各々の確定時期に交互に選ぶことになる。

【 0 1 0 1 】

次に、図 1 0 を参照して、 m アドレス n ビット F I F O 回路 6 6 0 の具体例について説明する。

【 0 1 0 2 】

m アドレス n ビット F I F O 回路 6 6 0 の具体例は、 $m=4$, $n=4$ の場合の一例であり、第 1 の頭出し検出回路 6 5 0 からの調整制御信号 st_{rt} を起動信号とし、調整制御信号 st_{rt} が D L L 回路 6 2 0 の調整中を指示するとライトアドレスを停止し、調整終了を示すと次のサイクルから、アドレス 0 からアドレス 3 まで循環してライトアドレスを発生するライトアドレス発生回路 6 6 1 と、ライトアドレス発生回路 6 6 1 のライトアドレスに従い、第 1 の特定信号列の次の n ビットから始まる整列化回路 6 5 0 のフリップフロップ $F_{91}, F_{92}, F_{93}, F_{94}$ の出力 o_0, o_1, o_2, o_3 をデータ入力とし、アドレス 0 からアドレス 3 まで循環して書き込むアドレス数 4 およびビット数 4 の $m \times n$ F I F O 6 6 2 とから構成される。

【 0 1 0 3 】

ライトアドレス発生回路 6 6 1 は、ライトアドレス 0 から 3 までを出力する 4 つのフリップフロップ FW 0, FW 1, FW 2, FW 3 を縦続接続し、最初の 3 つのフリップフロップ FW 0, FW 1, FW 2 の負出力をアンドした信号と第 1 の頭出し検出回路 6 5 0 からの調整制御信号 *s t r t* とをアンドした出力を最初のフリップフロップ FW 0 に入力した回路である。

【 0 1 0 4 】

ライトアドレス発生回路 6 6 1 は、第 1 の頭出し検出回路 6 5 0 からの調整制御信号 *s t r t* が 0 になると、フリップフロップの出力がどの状態であっても、アンド出力が 0 となり、4 つのフリップフロップ FW 0, FW 1, FW 2, FW 3 に順次 0 を埋めていくため、ライトアドレスが停止し、最初の 3 つフリップフロップ FW 0, FW 1, FW 2 が全て 0 になったときに調整制御信号 *s t r t* が 1 になると、2 つのアンド出力はともに 1 となり、クロック CK 3 T が入力されると最初のフリップフロップ FW 0 を 1 にセットし、次のサイクルでは 2 つのアンド出力が 0 になり、最初のフリップフロップ FW 0 を 0 に戻すとともに、2 番目のフリップフロップ FW 1 を 1 にし、次のサイクルでは 1, 2 番目のフリップフロップ FW 0, FW 1 が 0 になり、3 番目のフリップフロップ FW 2 が 1 になり、さらに次のサイクルでは、3 番目のフリップフロップ FW 2 が 0 になるとともに、2 つのアンド出力を 1 にし、4 番目のフリップフロップ FW 3 を 1 にセットして最初の状態に戻る。調整制御信号 *s t r t* が 1 になっている間、4 つのフリップフロップ FW 0, FW 1, FW 2, FW 3 の 1 つだけが 1 となり、順次アドレス 0 からアドレス 3 まで循環して、1 がシフトするライトアドレスを発生することができる。また、2 段目以降のフリップフロップ FW 1, FW 2, FW 3 の入力に調整制御信号 *s t r t* でゲートすることにより、調整制御信号 *s t r t* がリセットされると全てのアドレスを直ちに停止できる。

【 0 1 0 5 】

$m \times n$ F I F O 6 6 2 は、ライトアドレスを 1 にするとデータを取り込み、0 にするとホールドするビット数分のホールド付きフリップフロップをアドレス数分有し、ホールドをライトアドレス発生回路 6 6 1 のライトアドレス出力に接続した構成であり、各ライトアドレス WA 0, WA 1, WA 2, WA 3 で指定された

フリップフロップ群にビット数分のデータを書き込むようになっている。

【0106】

次に、図10を参照して、 m ウェイ n ビットマルチプレクサ670の具体例について説明する。

【0107】

m ウェイ n ビットマルチプレクサ670の具体例は、 $m=4$ 、 $n=4$ の場合の一例であり、リードアドレスに従い 4×4 FIFO 662の書き込まれた4ビットのデータを選択して取り出すアンド回路群およびオア回路群で構成されている。

【0108】

4ウェイ4ビットマルチプレクサ670は、ビット数分のセクタであり、各アドレスの同じビット位置の 4×4 ビットFIFO 662のデータ出力を入力とし、リードアドレスに従いアドレス0からアドレス3まで循環して選択し、リードアドレスと一致したライトアドレスで書き込まれた4アドレス4ビットFIFO回路660の n ビットのデータを選択して出力する。

【0109】

次に、図10を参照して、 n ビットレジスタ680の具体例について説明する。

【0110】

n ビットレジスタ680の具体例は、 $n=4$ の場合の一例であり、4ウェイ4ビットマルチプレクサ670の出力をシステムクロックCLKSYSで書き込む4つのフリップフロップFD0～FD3で構成されている。

【0111】

4ビットレジスタ680は、4ビット分あり、4ウェイ4ビットマルチプレクサ670の出力をシステムクロックCLKSYSでサンプリングして、第1のデータ処理回路600の出力として出力する。

【0112】

なお、図10の具体例においては、 $m=4$ 、 $n=4$ としたが、ライトアドレス発生回路661のフリップフロップ数を m 個とし、最初のフリップフロップFW0から m 番目までの出力を、各々アドレス0、アドレス1、…、アドレス $(m-1)$ とし、最初から3つのフリップフロップの負出力をアンドするとした代わりに

最初から $(m-1)$ 個までの負出力をアンドするに置き換え、 $m \times n$ F I F O 6 6 2 のフリップフロップをアドレス数 m およびビット数 n の $m \times n$ 個とし、4 ウェイ 4 ビットマルチプレクサ 6 7 0 を m ウェイ n ビットマルチプレクサ 6 7 0 とすることもできる。

【 0 1 1 3 】

次に、図 1 1 を参照して、第 2 の頭出し検出回路 7 5 0 の具体例について説明する。

【 0 1 1 4 】

第 2 の頭出し検出回路 7 5 0 の具体例は、第 2 の頭出しコンペア回路 7 5 1 と、第 3 の頭出しコンペア回路 7 5 2 と、調整制御回路 7 5 3 とから構成される。

【 0 1 1 5 】

第 2 の頭出しコンペア回路 7 5 1 は、図 8 中の第 1 の頭出しコンペア回路 6 5 1 と同じ回路構成を有し、 $1:n$ デマルチプレクサ 7 4 0 からのデータ信号に第 2 の特定信号列があるかどうかを検出するために、第 1 の特定信号列 C_0 , C_1 , C_2 , C_3 の代わりに、第 2 の特定信号列 C_4 , C_5 , C_6 , C_7 を入力して比較し、第 2 の特定信号列 C_4 , C_5 , C_6 , C_7 を検出すると、セクタ $S_8 1$ に 1 を出力する。

【 0 1 1 6 】

第 3 の頭出しコンペア回路 7 5 2 は、図 8 中の第 1 の頭出しコンペア回路 6 5 1 と同じ回路構成を有し、 $1:n$ デマルチプレクサ 7 4 0 からのデータ信号に第 3 の特定信号列があるかどうかを検出するために、第 1 の特定信号列 C_0 , C_1 , C_2 , C_3 の代わりに、第 3 の特定信号列 C_8 , C_9 , C_A , C_B を入力して比較し、第 3 の特定信号列 C_8 , C_9 , C_A , C_B を検出すると、セクタ $S_8 1$ に 1 を出力する。

【 0 1 1 7 】

調整制御回路 7 5 3 は、 $1:n$ デマルチプレクサ 7 4 0 からのデータ信号に第 2 の特定信号列 C_4 , C_5 , C_6 , C_7 が検出されたときに第 1 のデータ処理回路 6 0 0 に分配され、各第 1 のデータ処理回路 6 0 0 が第 1 の特定信号列 C_0 , C_1 , C_2 , C_3 を検出するまでの間に第 1 のデータ処理回路 6 0 0 の D L L 回路

620を調整させる調整開始信号を作成するフリップフロップFB2, FB3, FB4と、フリップフロップFB4の出力である調整開始信号が出力された後に1:nデマルチプレクサ640からのデータ信号に第3の特定信号列C8, C9, CA, CBが検出されたときに調整終了信号を発生するフリップフロップFB1とを含んで構成される。

【0118】

調整制御回路753は、第2の頭出しコンペア回路751からの出力とフリップフロップFB2, FB3に入力して遅延した負出力とをアンドするアンド回路と、このアンド回路の出力を入力として微分波形である調整開始信号を得るフリップフロップFB4とを有し、調整開始信号を全ての第1のデータ処理回路600に分配する。

【0119】

また、調整制御回路753は、第3の頭出しコンペア回路752からの出力と、フリップフロップFB1の出力とクロックCK3Tの負信号をアンドした信号とをオアした信号を入力とし、調整終了信号を出力するフリップフロップFB1を有する。なお、第3の特定信号列C8, C9, CA, CBを、第1の特定信号列C0, C1, C2, C3と同じにしてもよい。

【0120】

ここで、第2の特定信号列C4, C5, C6, C7を1を含む全ての信号列とし、第2の頭出しコンペア回路751の構成を、D1, D2, D3, D4, D5, D6, D7, D0をオアする8入力オア回路にすることができる。

【0121】

なお、図11の第2の頭出し検出回路750の具体例においては、データを8ビットとしたが、第1の頭出し検出回路650と同様に、データをD0, ..., D2nとし、第2の特定信号列および第3の特定信号列のビット数をnビットとし、コンペア回路をCP1, ..., CP2n、オア回路OR81, OR82, OR83, OR84の入力数をn入力とし、第3の頭出しコンペア回路752の代替案の8入力オア回路を2n入力オア回路とすることにより、nビット幅の第2の頭出し検出回路750とすることができる。

【 0 1 2 2 】

次に、図 1 2 を参照して、同期化回路 7 6 0 の具体例について説明する。

【 0 1 2 3 】

同期化回路 7 6 0 の具体例は、第 2 の頭出し検出回路 7 5 0 の出力である調整終了信号をシステムクロック CLK SYS に同期化するフリップフロップ FC 0, FC 1 と、アンド回路とから構成される。

【 0 1 2 4 】

同期化回路 7 6 0 は、第 2 の頭出し検出回路 7 5 0 からの調整終了信号を、DLL 回路 7 2 0 で作成されたクロックを分周してシステムクロック CLK SYS と同じ周波数にしているが、位相は異なっているため、フリップフロップ FC 0, FC 1 にて調整終了信号をシステムクロック CLK SYS に同期化してリードアドレス起動信号として出力する。

【 0 1 2 5 】

次に、図 1 2 を参照して、リードアドレス発生回路 7 7 0 の具体例について説明する。

【 0 1 2 6 】

リードアドレス発生回路 7 7 0 の具体例は、縦続接続されたリードアドレス 0 から 3 までを出力する 4 つのフリップフロップ FC 2, FC 3, FC 4, FC 5 と、最初の 3 つのフリップフロップ FC 2, FC 3, FC 4 の負出力をアンドするアンド回路とから構成される。

【 0 1 2 7 】

リードアドレス発生回路 7 7 0 は、同期化回路 7 6 0 からのリードアドレス起動信号と、縦続接続されたリードアドレス 0 から 3 までを出力する 4 つのフリップフロップ FC 2, FC 3, FC 4, FC 5 の最初の 3 つのフリップフロップ FC 2, FC 3, FC 4 の負出力をアンドした信号とがアンドされ、最初のフリップフロップ FC 2 に入力される。

【 0 1 2 8 】

リードアドレス発生回路 7 7 0 は、同期化回路 7 6 0 からのリードアドレス起動信号がリセットされると停止し、セットされるとアドレス 0 からアドレス (m-

1) まで循環して順次発生し、第1のデータ処理回路600に分配されるリードアドレス0, 1, 2, 3を作成する。

【0129】

詳しくは、リードアドレス発生回路770は、同期化回路760からのリードアドレス起動信号が0になると、フリップフロップの出力がどの状態であっても、アンド出力が0となり、4つのフリップフロップFC2, FC3, FC4, FC5に順次0を埋めていくため、リードアドレスを停止する。最初の3つフリップフロップFC2, FC3, FC4が全て0になったときに同期化回路760からのリードアドレス起動信号が1になり、2つのアンド出力はともに1となり、システムクロックCLKSYSが入力されると、リードアドレス発生回路770は、最初のフリップフロップFC2を1にセットし、次のサイクルでは2つのアンド出力が0になり、最初のフリップフロップFC2を0に戻すとともに、2番目のフリップフロップFC3を1にし、次のサイクルでは1, 2番目のフリップフロップFC2, FC3が0になり、3番目のフリップフロップが1になり、さらに次のサイクルでは、1, 2, 3番目のフリップフロップFC2, FC3, FC4が0になるとともに、2つのアンド出力を1にし、4番目のフリップフロップFC5を1にセットして最初の状態に戻る。同期化回路760からのリードアドレス起動信号が1になっている間、4つのフリップフロップFC2, FC3, FC4, FC5の1つだけが1となり、順次アドレス0～アドレス3まで循環して、1がシフトするリードアドレスを発生することができる。

【0130】

また、2段目以降のフリップフロップFC3, FC4, FC5の入力に同期化回路760からのリードアドレス起動信号でゲートすることにより、同期化回路760からのリードアドレス起動信号がリセットされると全てのアドレスを直ちに停止できる。

【0131】

なお、図12のリードアドレス発生回路770の具体例では、4つのフリップフロップFC2, FC3, FC4, FC5としているが、フリップフロップ数をm個とし、最初のフリップフロップFC2からm番目までの出力を、各々アドレス

0, アドレス 1, ..., アドレス (m-1) とし、最初から 3 つのフリップフロップ FC 2, FC 3, FC 4 の負出力をアンドするとした代わりに、最初から (m-1) 個までのフリップフロップの負出力をアンドするに置き換えることにより、アドレス数 m に対応できる。

【 0 1 3 2 】

ところで、図 1 2 の具体例では、同期化回路 7 6 0 のフリップフロップの数を 2 個縦続接続し、m アドレス n ビット F I F O 回路 6 6 0 をアドレス数 m としているが、同期化回路 7 6 0 のフリップフロップの個数により、第 1 のデータ処理回路 6 0 0 の m アドレス n ビット F I F O 回路 6 6 0 にデータが書き込まれてから読み出すまでの時間が決まるため、第 1 のトランスミッタ回路 2 0 0 および第 2 のトランスミッタ回路 3 0 0 から同時に第 1 の特定信号列および第 3 の特定信号列が出され、第 1 の特定信号列が第 1 のトランスミッタ回路 2 0 0, 伝送路 8 0 0, 第 1 のデータ処理回路 6 0 0 のレシーバ 6 1 0, サンプラ & 1 : 2 デマルチプレクサ 6 3 0, および 1 : n デマルチプレクサ 6 4 0 を介して第 1 の頭出し検出回路 6 5 0 にて検出され、次のビットから n ビットまでを整列化回路 6 5 0 にて抽出され、m アドレス n ビット F I F O 回路 6 6 0 のアドレス 0 に書き込まれるまでの時間が最大になったとき、第 3 の特定信号列が、第 2 のトランスミッタ回路 3 0 0, 伝送路 9 0 0, 第 2 のデータ処理回路 7 0 0 のレシーバ 7 1 0, サンプラ & 1 : 2 デマルチプレクサ 7 3 0, および 1 : n デマルチプレクサ 7 4 0 を介して第 2 の頭出し検出回路 7 5 0 で第 3 の特定信号列として検出され、同期化回路 7 6 0 およびリードアドレス発生回路 7 7 0 を介してリードアドレスを発生し、そのリードアドレスにより m ウェイ n ビットマルチプレクサ 6 7 0 を介して n ビットレジスタ 6 8 0 に書き込むまでの時間が最小になっても、m アドレス n ビット F I F O 回路 6 6 0 が書き込んだデータが m ウェイ n ビットマルチプレクサ 6 7 0 を介して n ビットレジスタ 6 8 0 に到達する前にならないように、同期化回路 7 6 0 のフリップフロップ数を多くし、第 1 の特定信号列が第 1 のトランスミッタ回路 2 0 0, 伝送路 8 0 0, 第 1 のデータ処理回路 6 0 0 のレシーバ 6 1 0, サンプラ & 1 : 2 デマルチプレクサ 6 3 0, および 1 : n デマルチプレクサ 6 4 0 を介して第 1 の頭出し検出回路 6 5 0 にて検出され、次のビットから

mアドレスnビットFIFO回路660のアドレスを一巡して、再度アドレス0に書き込む($m \times n + 1$)ビット目からのnビットが整列化回路650にて抽出され、mアドレスnビットFIFO回路660のアドレス0に書き込まれるまでの時間が最小になったとき、第3の特定信号列が、第2のトランスミッタ回路300、伝送路900、第2のデータ処理回路700のレシーバ710、サンプラ&1:2デマルチプレクサ730、および1:nデマルチプレクサ740を介して第2の頭出し検出回路750で第3の特定の信号として検出され、同期化回路760およびリードアドレス発生回路770を介してリードアドレスを発生し、そのリードアドレスによりmウェイnビットマルチプレクサ670を介してnビットレジスタ680に書き込むまでの時間が最大になっても、mアドレスnビットFIFO回路660が書き込んだ第1の特定信号列の次のビットからnビットのデータがmウェイnビットマルチプレクサ670を介してnビットレジスタ680に書き込まれた後に到達するように、同期化回路760のフリップフロップ数を少なくする。また、この2つの条件を満足するように、mアドレスnビットFIFO回路660のアドレスの数mを設定する。

【0133】

以上説明したように、第1のアナログPLL回路100、第1のトランスミッタ回路200、第2のトランスミッタ回路300、調整制御論理回路400、第2のアナログPLL回路500、第1のデータ処理回路600、および第2のデータ処理回路700を持つことにより、データ信号列に余分のビットを持たず、任意の値をとるために特定信号列をデータの開始とする手段が採れず、かつ1, 0に変化することが保証できないデータ信号に対し、調整制御論理回路400から第2のトランスミッタ回路300、および伝送路900を介して第2のデータ処理回路700に第2の特定信号列(1ビットでも1になったらとしてもよい)を送出することにより、第2のデータ処理回路700は、DLL回路720の調整開始信号として認識し、第2のデータ処理回路700内のサンプリングクロックの調整を開始するとともに、第1のデータ処理回路600の第1の頭出し検出回路650に分配し、整列化回路650の出力を無効にさせ、第1のトランスミッタ回路200から伝送路800を介して第1のデータ処理回路600に送出され

た調整信号列を使用してD L L回路6 2 0を調整することを可能にさせ、かつD L L回路6 2 0の調整を行い、さらには第1のデータ処理回路6 0 0毎にD L L回路6 2 0の調整期間中に第1の特定信号列がデータ信号に入力されたならば、調整終了とデータ開始とする調整制御信号s t r tとして認識させ、第1の特定信号列の次のビットからnビット毎に、mアドレスnビットF I F O回路6 6 0にアドレス0から順次書き込むことを可能にすることができる。

【0 1 3 4】

また、調整制御論理回路4 0 0から第2のトランスミッタ回路3 0 0および伝送路9 0 0を介して第1の特定信号列に同期して出力される第3の特定信号列が第2のデータ処理回路7 0 0にきたときに、リードアドレス発生回路7 7 0のリードアドレス起動信号を作成し、システムクロックC L K S Y Sに同期化したアドレス0からアドレスmまで循環して順次発生するリードアドレスを作成し、各第1のデータ処理回路6 0 0のmアドレスnビットF I F O回路6 6 0からデータを読み出すことにより、論理側から第1のトランスミッタ回路2 0 0に送られたパラレルデータ信号を復元することができる。

【0 1 3 5】

(2) 第2の実施の形態

図2は、本発明の第2の実施の形態に係るソースシンクロナス式の低レーテンシ高速伝送システムの構成を示す回路ブロック図である。本実施の形態に係る低レーテンシ高速伝送システムは、その基本的構成は図1に示した第1の実施の形態に係る低レーテンシ高速伝送システムとほぼ同様であるが、第2のアナログP L L回路5 0 0を省略し、送信側から受信側に伝送用クロックを送信するようにしている。第1の実施の形態においては、第1のデータ処理回路6 0 0および第2のデータ処理回路7 0 0には、第2のアナログP L L回路5 0 0よりシステムクロックC L K S Y Sに同期した $n/2$ 通倍の周波数の伝送用クロックが分配されていたが、図2に示すように、送信側の第1のアナログP L L回路1 0 0から受信側に送信するドライバ1 4 0、伝送路1 0 0 0、およびレシーバ5 4 0を設置し、第2のアナログP L L回路5 0 0を省略して、代わりに送信側から受けたシステムクロックC L K S Y Sに同期した $n/2$ 通倍の周波数の伝送用クロックを

、第1のデータ処理回路600および第2のデータ処理回路700に分配するようにしている。

【0136】

このようにすることにより、第2のアナログPLL回路500を削減できると、送信側のシステムクロックCLKSYSに同期した $n/2$ 通倍の周波数の伝送用クロックと受信側の伝送用クロックとを全く同じ周波数を持ち、一定の位相関係にあるクロックとすることができる。

【0137】

また、送信側のシステムクロックCLKSYSと受信側のシステムクロックCLKSYSとの発生源が異なり、全く同じ周波数のREFクロックを送信側と受信側とに分配できない場合において、送信側および受信側の伝送用クロックと受信側のシステムクロックCLKSYSとは同じ発生源のクロックを使用していないため、微少ではあっても周波数が異なり、時間とともに位相がずれるが、このような構成をとることにより、送信側の第1のトランスミッタ回路200および第2のトランスミッタ回路300と受信側の第1のデータ処理回路600および第2のデータ処理回路700とに全く同じ周波数の伝送用クロックを分配できるため、図1で使用した回路がそのまま使用でき、DLL回路620および720の調整位置も温度変動および電圧変動分程度の調整ですむし、システムクロックCLKSYS間の周波数差により位相がずれることを見込んで、一定期間内にDLL回路620および720の調整を行うこととし、その一定期間にライトアドレスとリードアドレスとの時間差が変化する分の余裕を持って同期化回路760のタイミング設定することにより、書き込むより前に読み出すとか、読み出す前に次のデータを書き込むことがないように、前述のように、同期化に使用するフリップフロップの段数を多くし、mアドレスnビットFIFO回路660のアドレス数mを多くし、読み出し開始時間を変更することにより、mアドレスnビットFIFO回路660に書き込まれる前に読み出すとか、読み出す前に次のデータが書き込まれることがないようにすることができる。

【0138】

なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内にお

いて、各実施の形態は適宜変更され得ることは明らかである。

【0139】

【発明の効果】

以上説明したように、本発明によれば、信号列に余分のビットを持たず、任意の値をとるために特定信号列をデータの開始とする手段が採れず、かつ1, 0に変化することが保証できないデータ信号に対して、一定もしくは任意の周期で始めと終わりとが同時になるように、第2のトランスミッタ回路からは第2の特定信号列、調整信号列および第3の特定信号列を、第1のトランスミッタ回路からは無効データ、調整信号列および第1の特定信号列をそれぞれ出力し、引き続いて第1のトランスミッタ回路からデータ信号を出力することにより、第2のデータ処理回路は第2の特定信号列がきたならば、DLL回路の調整開始信号を作成し、第2のデータ処理回路自体のサンプリングクロックの調整をDLL回路により行い、mアドレスnビットFIFO回路のリードアドレスの発生を停止し、第1のデータ処理回路に調整開始信号を分配させ、記憶した先頭ビットをリセットさせ、mアドレスnビットFIFO回路のライトアドレスの発生を停止させ、整列化回路の出力を無効にさせ、第1のトランスミッタ回路からきた調整信号列によりDLL回路の調整を行わせ、さらには第1のデータ処理回路毎に、DLL回路の調整期間中に第1のトランスミッタ回路からの第1の特定信号列がデータ信号に入力されたならば、調整終了とデータ開始として認識させ、mアドレスnビットFIFO回路にアドレス0から順次書き込む一連の処理を行うことを可能にする。

【0140】

また、第1のデータ処理回路に第1の特定信号列がくるのとほぼ同時期に、第2のデータ処理回路に第3の特定信号列がくることにより、第2のデータ処理回路は、調整終了として認識し、リードアドレス起動信号を作成し、システムクロックに同期化し、アドレス0からアドレス(m-1)まで循環して発生するリードアドレスを作成し、第1のデータ処理回路に分配することにより、各mアドレスnビットFIFO回路において、伝送路のばらつきおよび回路のばらつきのためにバラバラに書き込まれたデータを、同時にかつシステムクロックに同期して、

同じアドレスから読み出させ、送信側のデータ信号列を復元したパラレルデータ信号列を得ることを可能にさせる。余分なビットを付加しないために、実効データの占める割合が多いため、回路的にも少なく、また伝送用クロックも低くして同じデータ量の伝送を行え、データの変換を行う必要がないことから、レーテンシを低く抑えることができる低レーテンシ高速伝送システムを提供できる。

【0141】

また、第2のアナログPLL回路の代わりに、送信側の第1のアナログPLL回路のクロック出力を、ドライバ、伝送路、およびレシーバを介して、受信側の第1のデータ処理回路および第2のデータ処理回路にシステムクロックに同期した $n/2$ 通倍の周波数の伝送用クロックを分配するようにし、第2のデータ処理回路の同期化回路のフリップフロップの段数と第1のデータ処理回路の m アドレス n ビットFIFO回路のアドレス数とを前述のようにすることにより、送信側のシステムクロックと受信側のシステムクロックとの発生源が異なる、つまり微少の周波数差があるシステムにおいても、一定周期内においてDLL回路の調整を行うことによって、データを喪失することなく、高速に伝送できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る同期クロック式の低レーテンシ高速伝送システムの構成を示す回路ブロック図である。

【図2】

本発明の第2の実施の形態に係るソースシンクロナス式の低レーテンシ高速伝送システムの構成を示す回路ブロック図である。

【図3】

図1および図2中の第1および第2のトランスミッタ回路における $n/2:1$ マルチプレクサの構成要素である $2:1$ マルチプレクサ&レジスタの具体例とタイムチャートを示す図である。

【図4】

図1および図2中の第1および第2のトランスミッタ回路における $2:1$ マルチプレクサ&プリエンファシス制御回路とドライバの具体例とタイムチャートを示

す図である。

【図 5】

図 1 および図 2 中の第 1 および第 2 のデータ処理回路における D L L 回路とサン
プラ & 1 : 2 デマルチプレクサの具体例を示す図である。

【図 6】

図 1 および図 2 中の第 1 および第 2 のデータ処理回路における 1 : n デマルチプ
レクサの構成要素である 1 : 2 デマルチプレクサの具体例とタイムチャートを示
す図である。

【図 7】

図 1 および図 2 中の第 1 および第 2 のデータ処理回路における 1 : n デマルチプ
レクサの構成要素である 1 : 4 デマルチプレクサの具体例とタイムチャートを示
す図である。

【図 8】

図 1 および図 2 中の第 1 および第 2 のデータ処理回路における第 1 の頭出し検出
回路の具体例を示す図である。

【図 9】

図 1 および図 2 中の第 1 のデータ処理回路における整列化回路の具体例を示す図
である。

【図 1 0】

図 1 および図 2 中の第 1 のデータ処理回路における m アドレス n ビット F I F O
回路の具体例を示す図である。

【図 1 1】

図 1 および図 2 中の第 2 のデータ処理回路における第 2 の頭出し検出回路の具体
例を示す図である。

【図 1 2】

図 1 および図 2 中の第 2 のデータ処理回路における同期化回路およびリードアド
レス発生回路の具体例を示す図である。

【図 1 3】

本実施の形態に係る低レーテンシ高速伝送システムにおける調整期間の各種信号

を例示するタイムチャートである。

【図 1 4】

従来のコード変換を例示する図である。

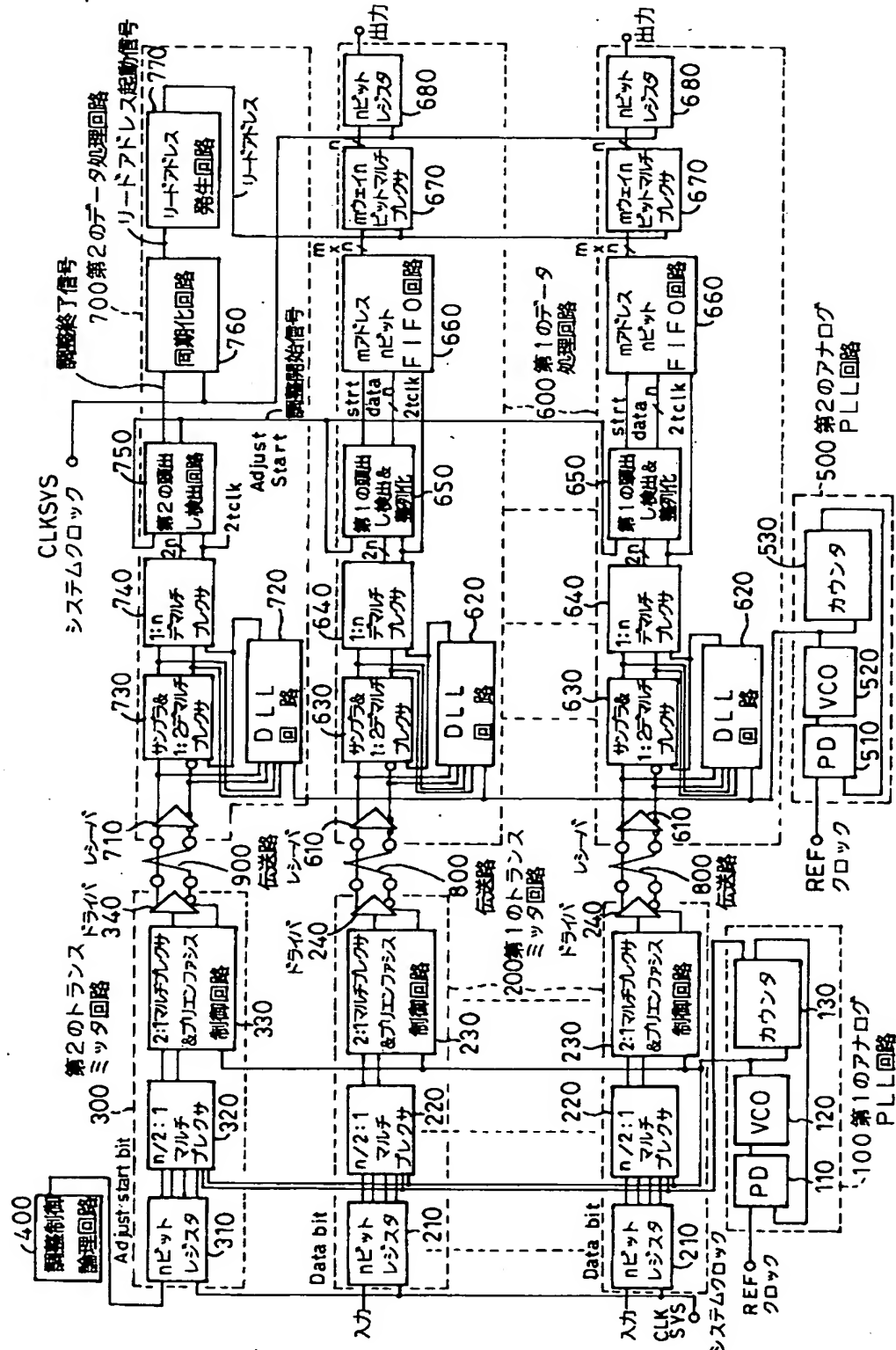
【符号の説明】

- 1 0 0 第 1 のアナログ P L L 回路
- 1 1 0 位相比較器 (P D)
- 1 2 0 電圧制御型可変周波数発振器 (V C O)
- 1 3 0 カウンタ
- 2 0 0 第 1 のトランスミッタ回路
- 2 1 0 n ビットレジスタ
- 2 2 0 $n / 2 : 1$ マルチプレクサ
- 2 2 1 $2 : 1$ マルチプレクサ & レジスタ
- 2 3 0 $2 : 1$ マルチプレクサ & プリエンファシス制御回路
- 2 4 0 ドライバ
- 3 0 0 第 2 のトランスミッタ回路
- 3 1 0 n ビットレジスタ
- 3 2 0 $n / 2 : 1$ マルチプレクサ
- 3 3 0 $2 : 1$ マルチプレクサ & プリエンファシス制御回路
- 3 4 0 ドライバ
- 4 0 0 調整制御論理回路
- 5 0 0 第 2 のアナログ P L L 回路
- 5 1 0 位相比較器 (P D)
- 5 2 0 電圧制御型可変周波数発振器 (V C O)
- 5 3 0 カウンタ
- 6 0 0 第 1 のデータ処理回路
- 6 1 0 レシーバ
- 6 2 0 D L L 回路
- 6 3 0 サンプラ & $1 : 2$ デマルチプレクサ
- 6 4 0 $1 : n$ デマルチプレクサ

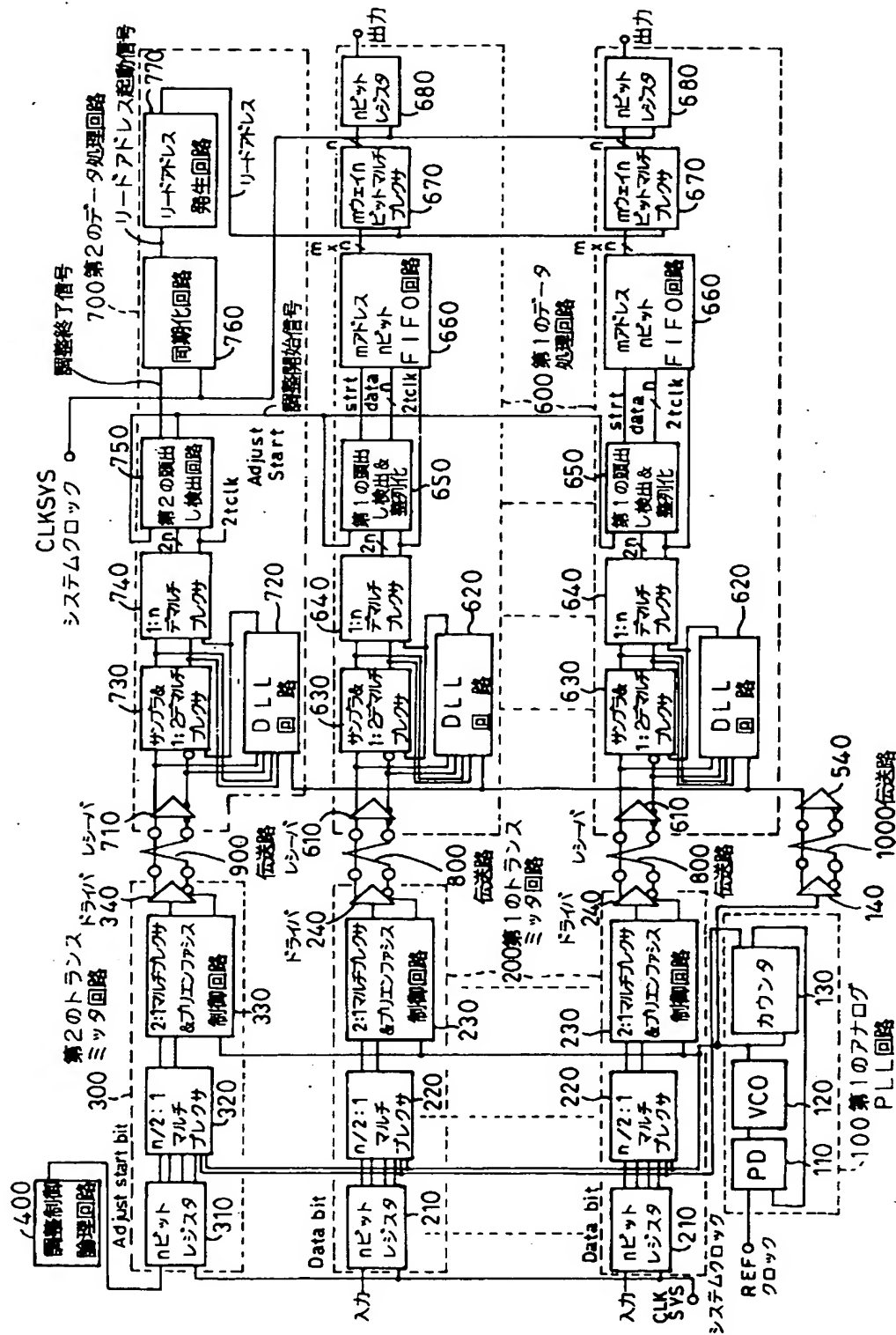
- 6 4 1 1 : 2 デマルチプレクサ
- 6 4 2 1 : 4 デマルチプレクサ
- 6 5 0 第 1 の頭出し検出回路&整列化回路
- 6 5 1 第 1 の頭出しコンペア回路
- 6 5 2 頭出し制御回路
- 6 5 3 先頭ビット位置記憶回路
- 6 6 0 m アドレス n ビット F I F O 回路
- 6 6 1 ライトアドレス発生回路
- 6 6 2 m × n F I F O
- 6 7 0 m ウェイ n ビットマルチプレクサ
- 6 8 0 n ビットレジスタ
- 7 0 0 第 2 のデータ処理回路
- 7 1 0 レシーバ
- 7 2 0 D L L 回路
- 7 3 0 サンプラ & 1 : 2 デマルチプレクサ
- 7 4 0 1 : n デマルチプレクサ
- 7 5 0 第 2 の頭出し検出回路
- 7 5 1 第 2 の頭出しコンペア回路
- 7 5 2 第 3 の頭出しコンペア回路
- 7 5 3 調整制御回路
- 7 6 0 同期化回路
- 7 7 0 リードアドレス発生回路

【書類名】 図面

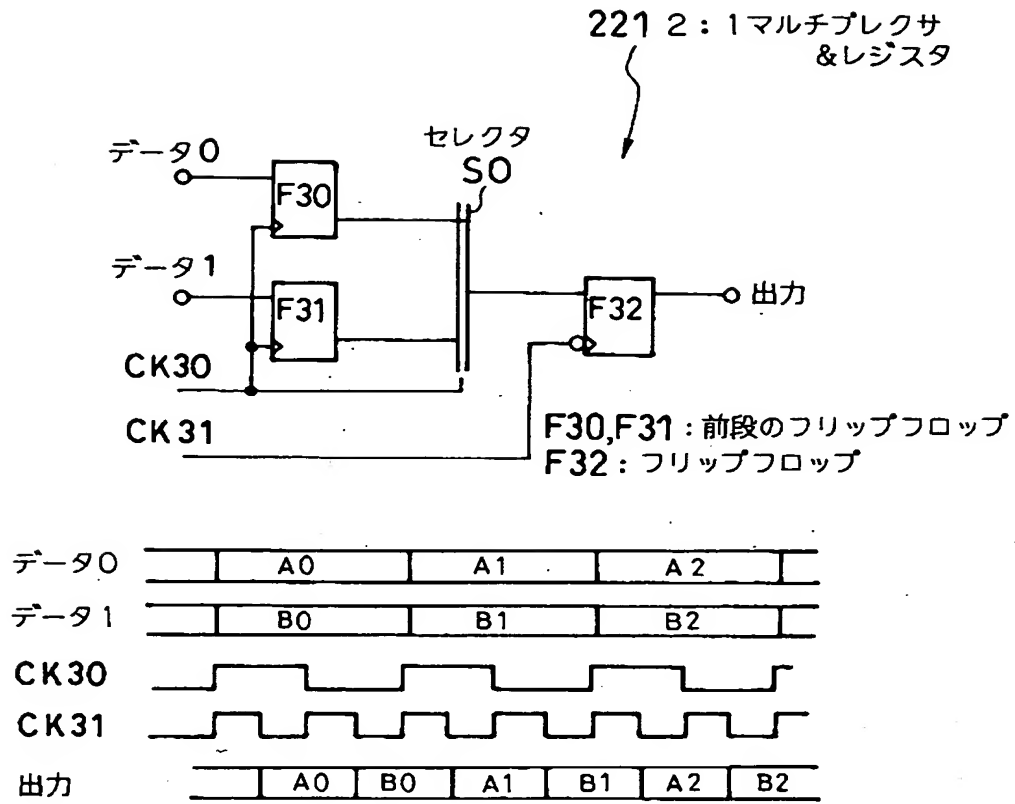
【図 1】



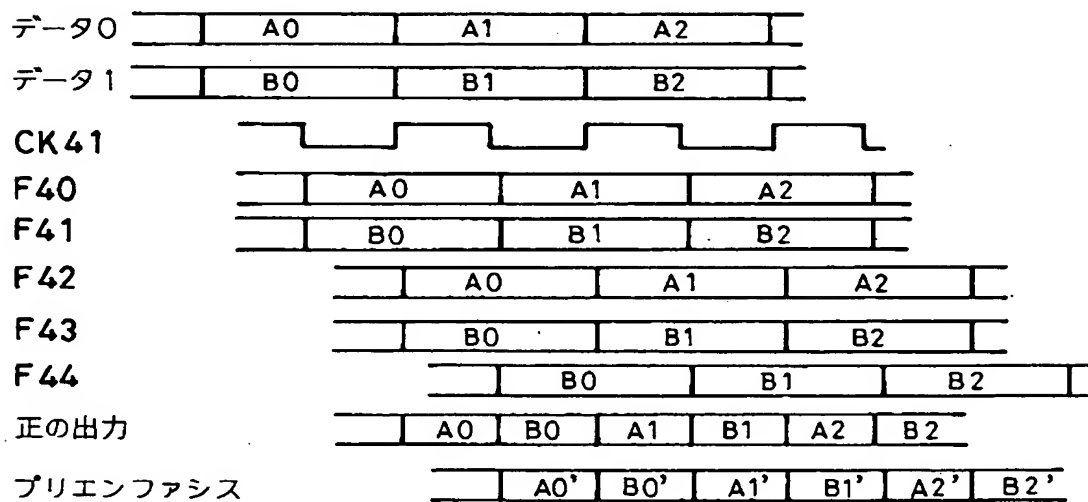
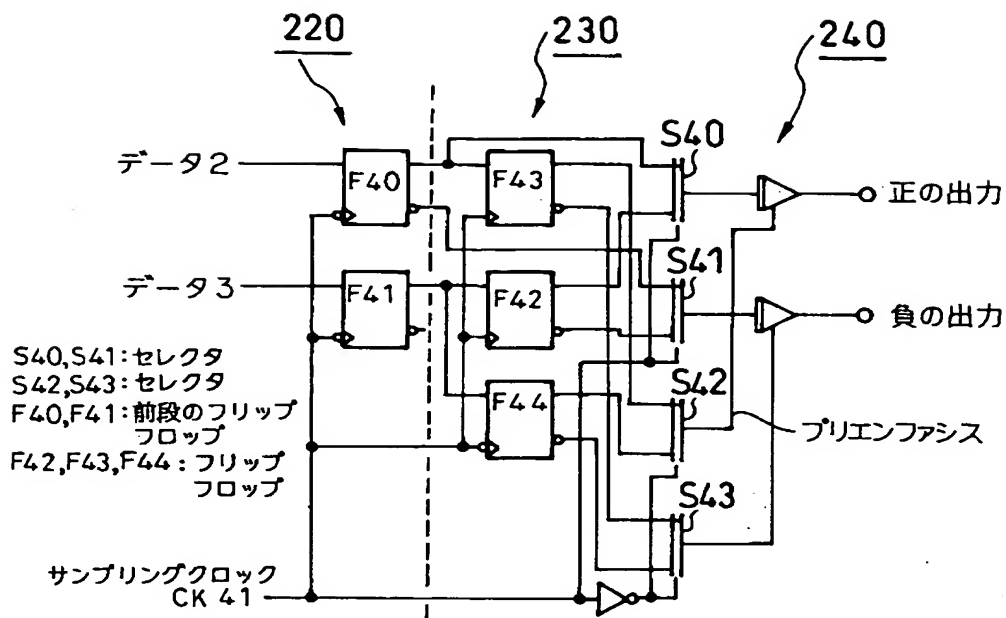
【図2】



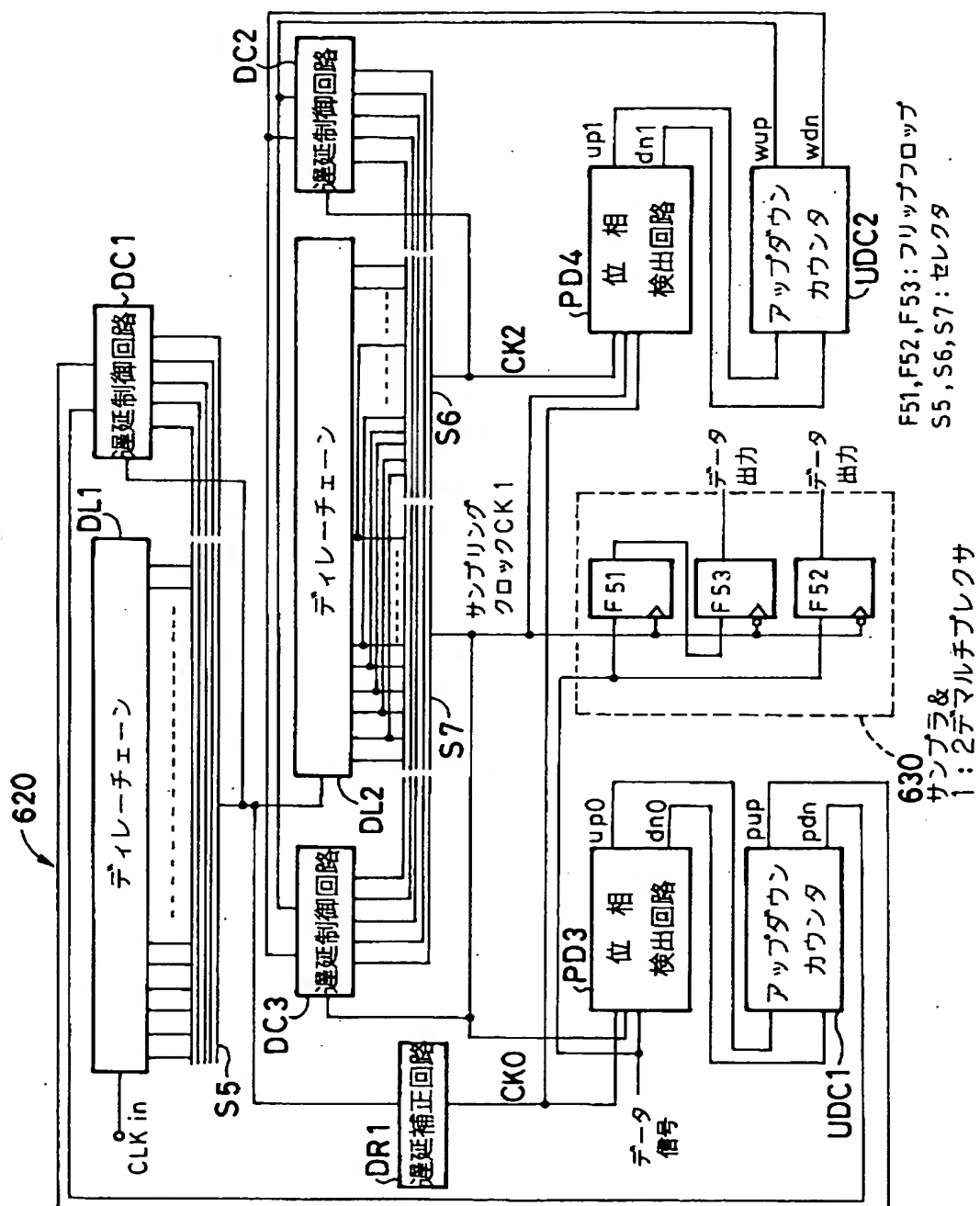
【図 3】



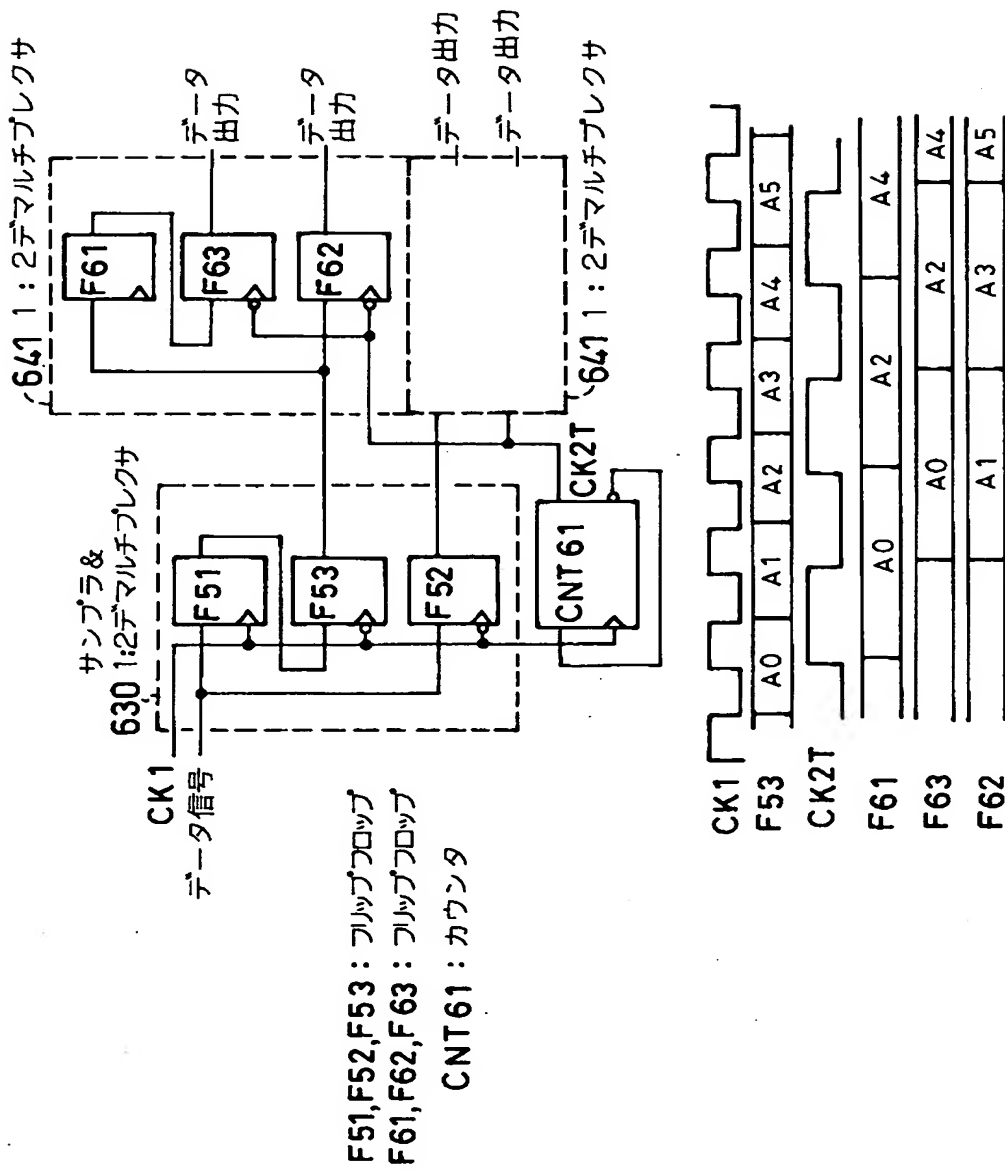
【図 4】



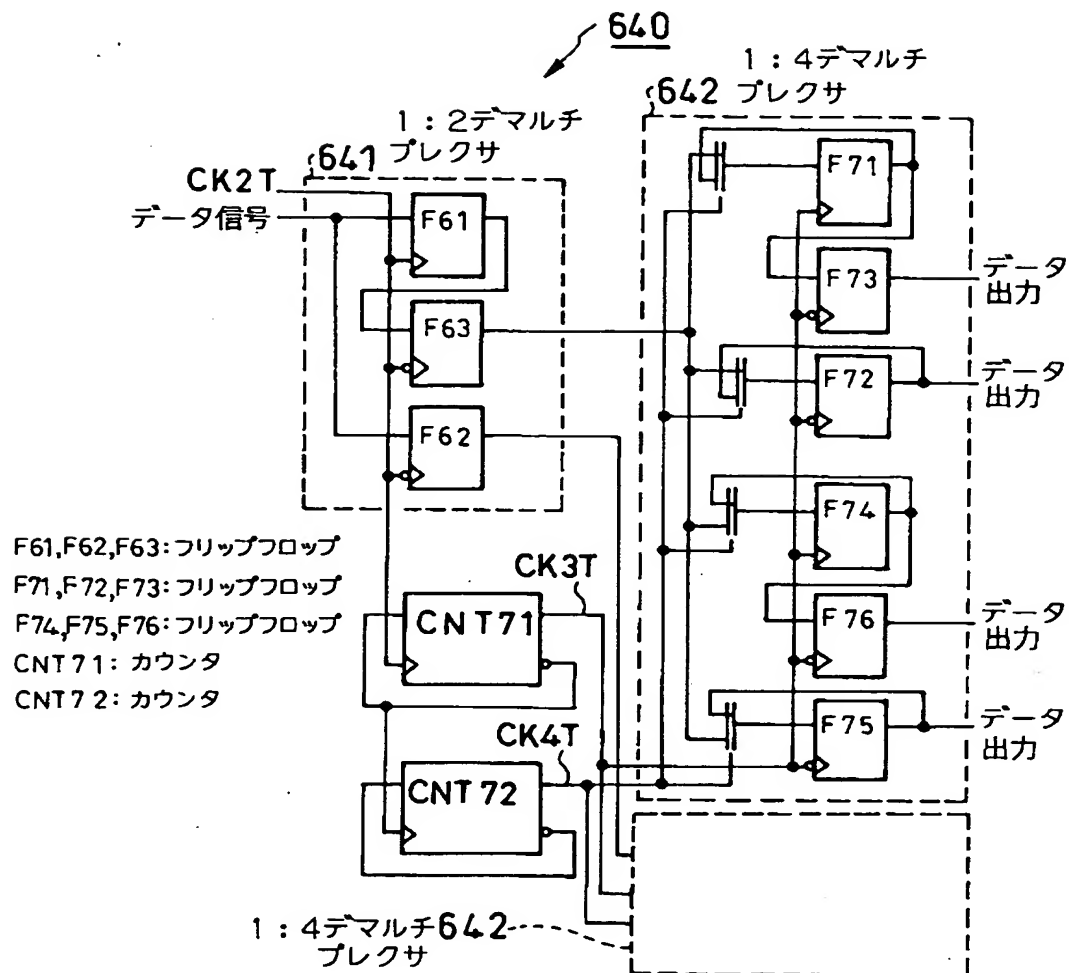
【図 5】



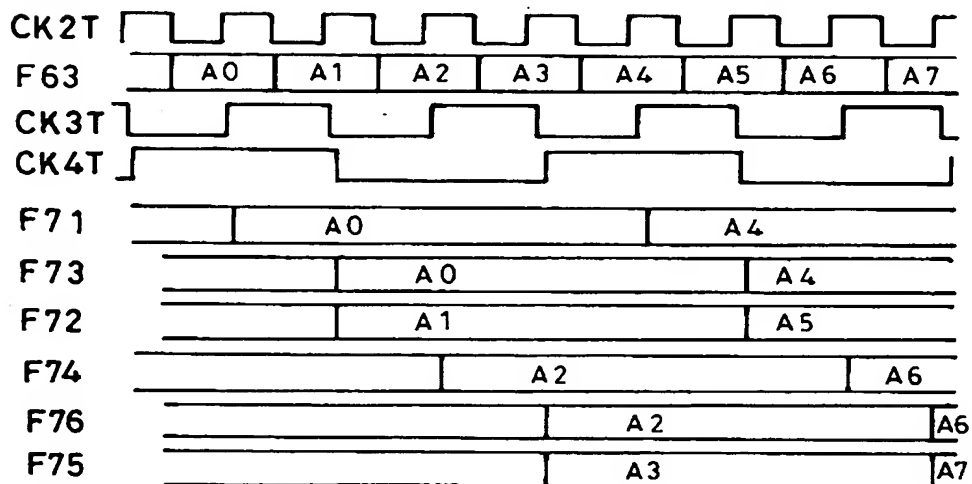
【図 6】



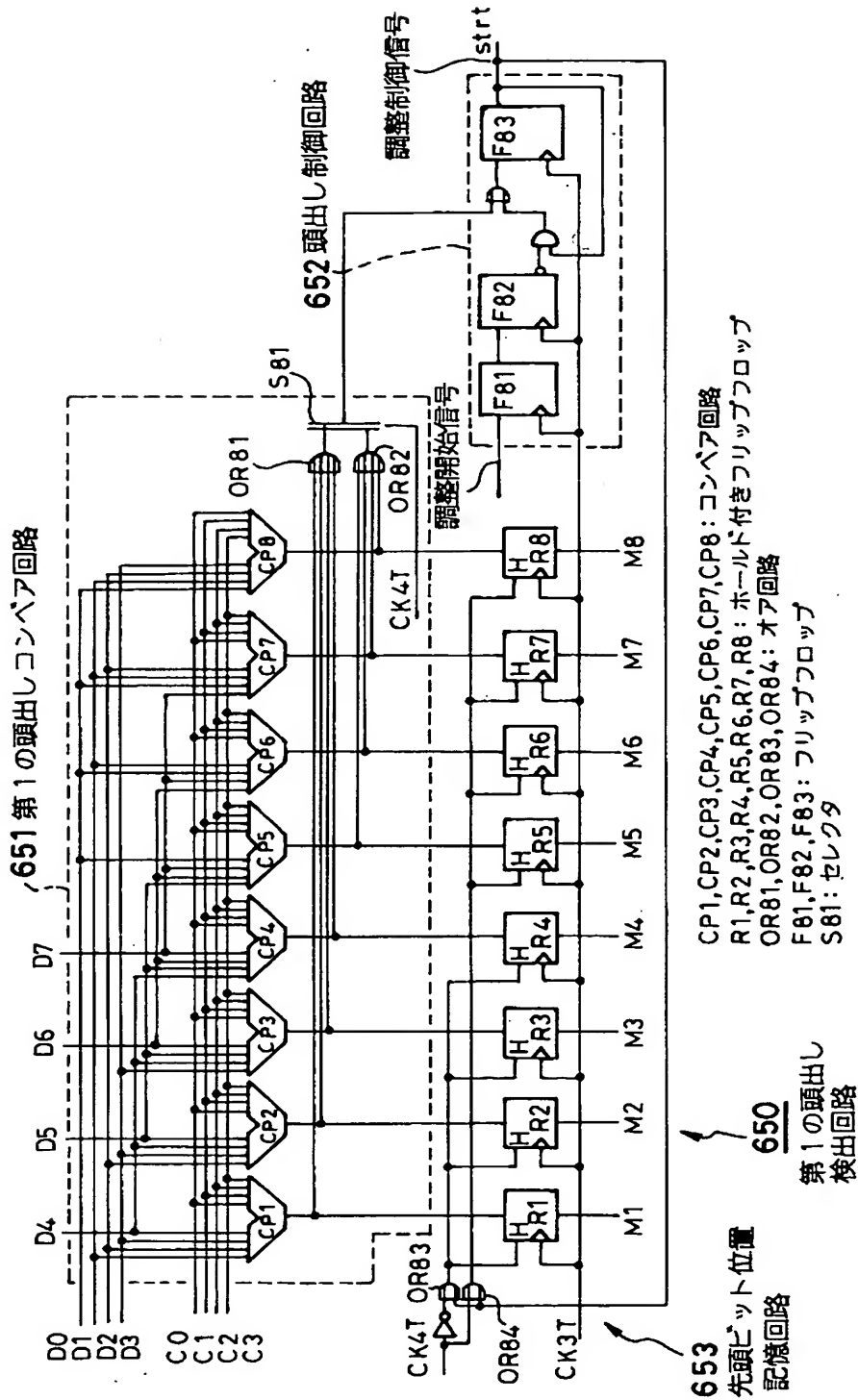
【図 7】



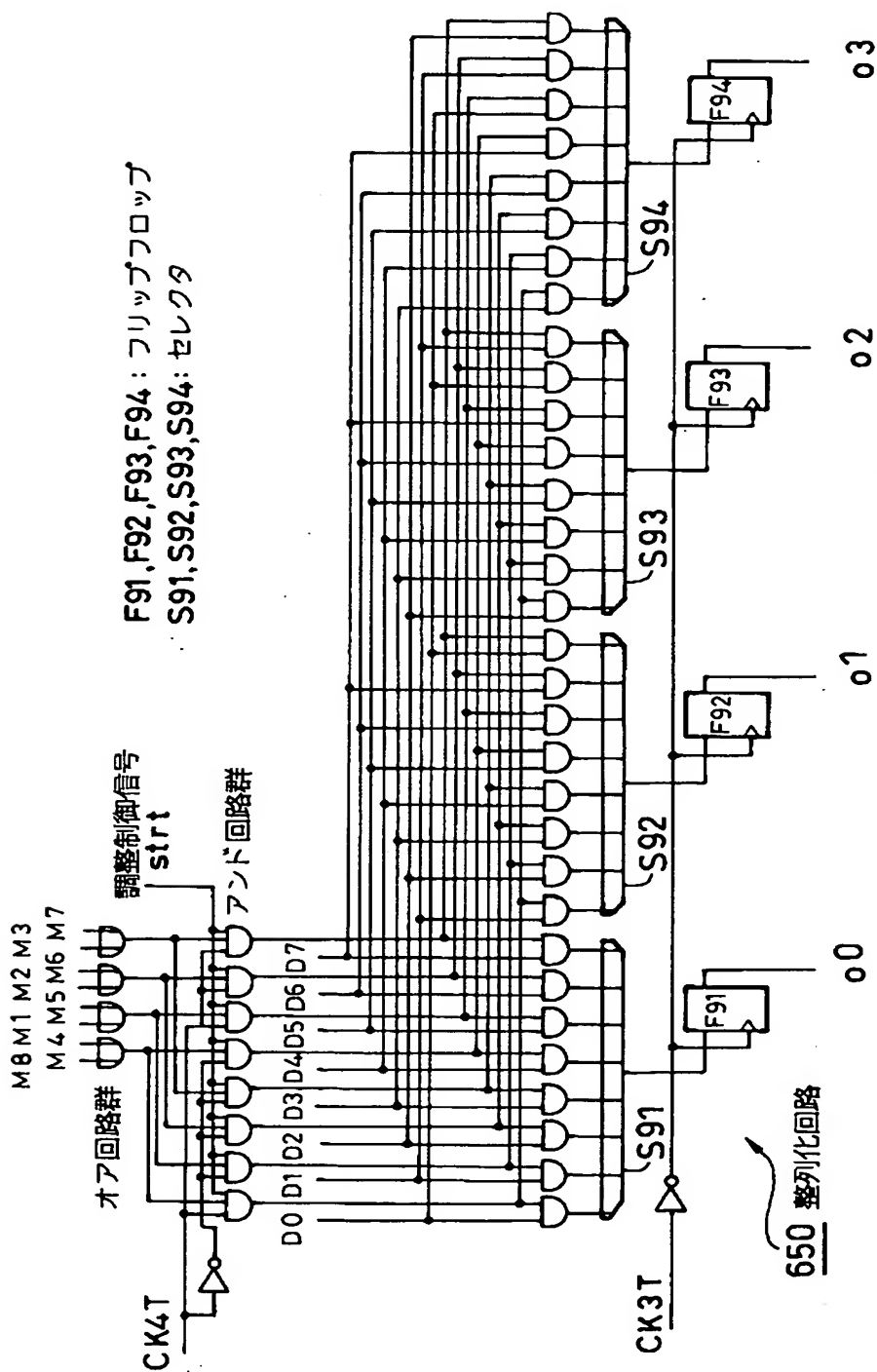
F61,F62,F63: フリップフロップ
 F71,F72,F73: フリップフロップ
 F74,F75,F76: フリップフロップ
 CNT71: カウンタ
 CNT72: カウンタ



【図 8】

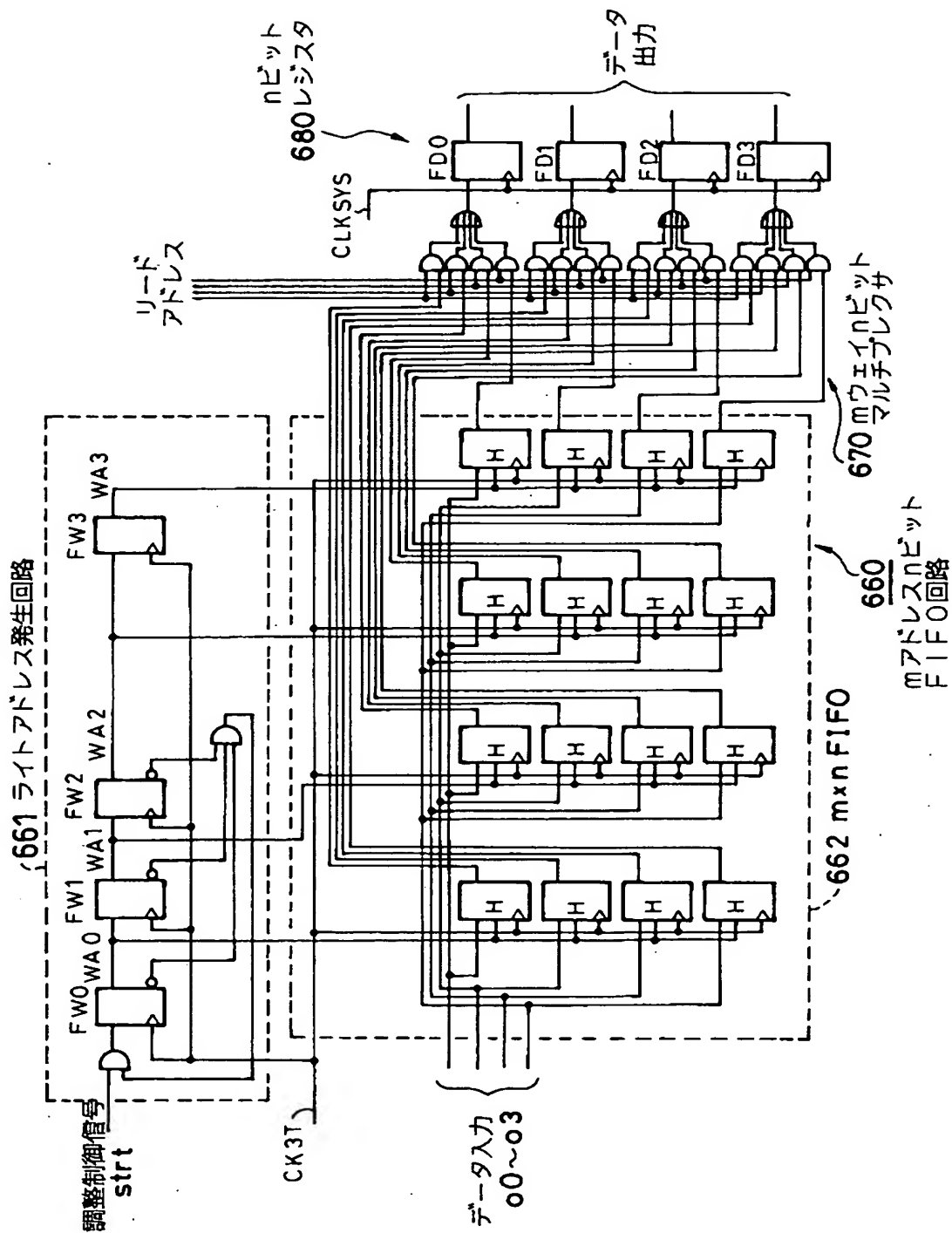


【図 9】

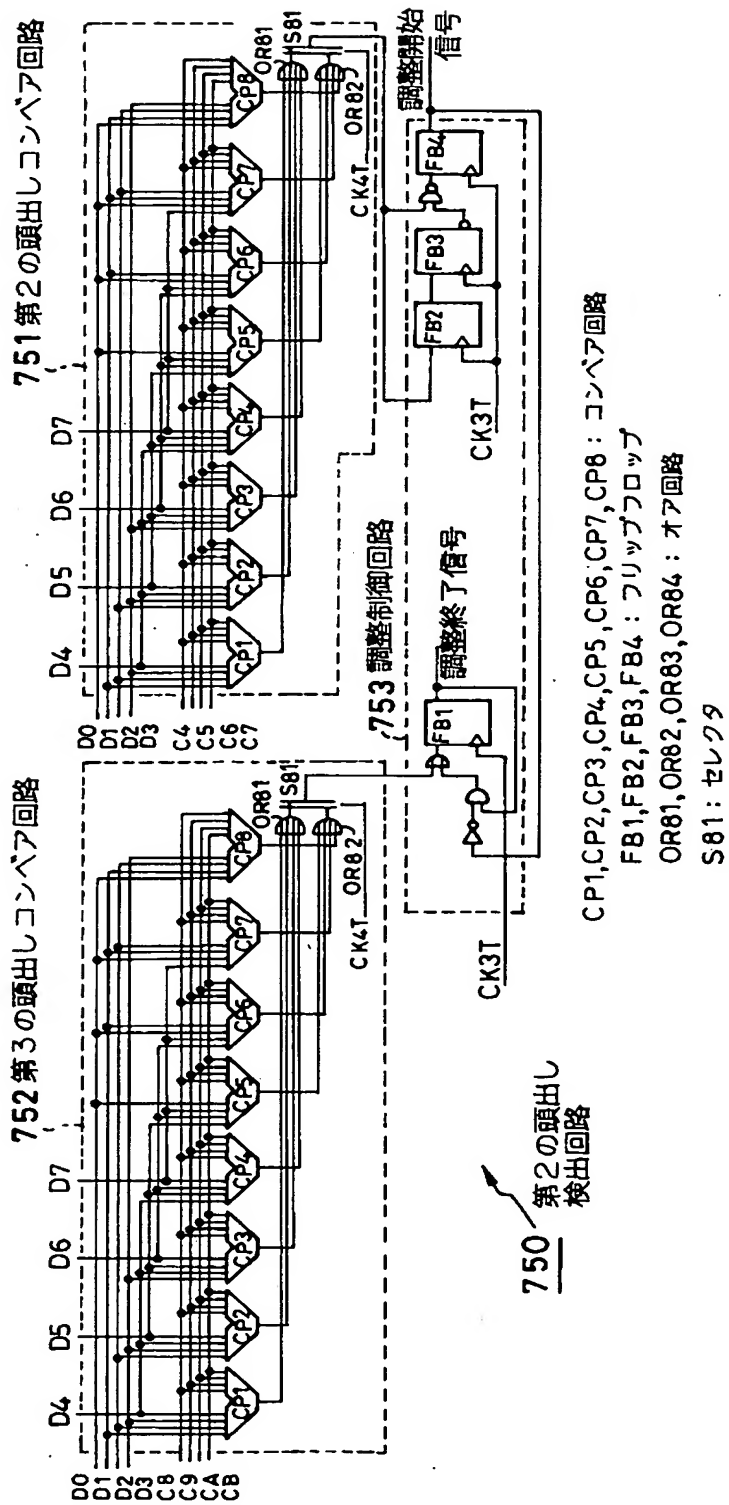


F91, F92, F93, F94: フリップフロップ
S91, S92, S93, S94: セレクタ

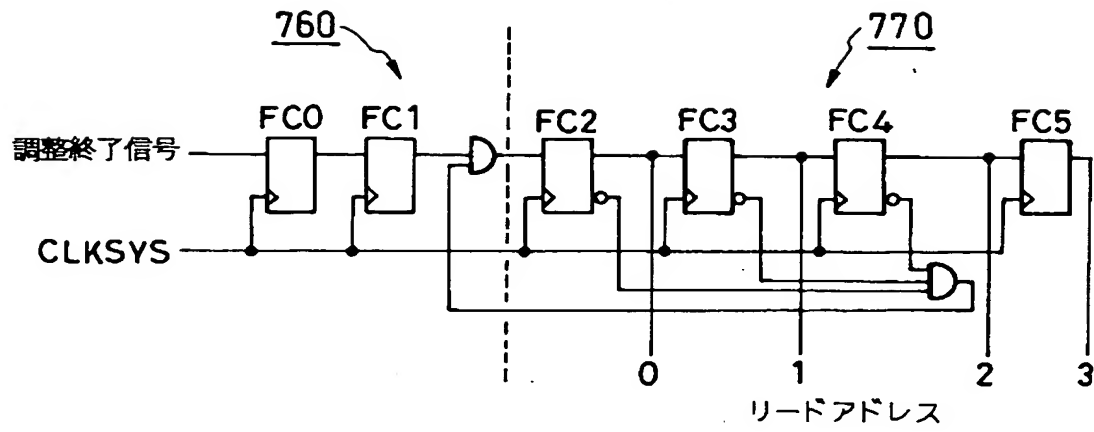
【図10】



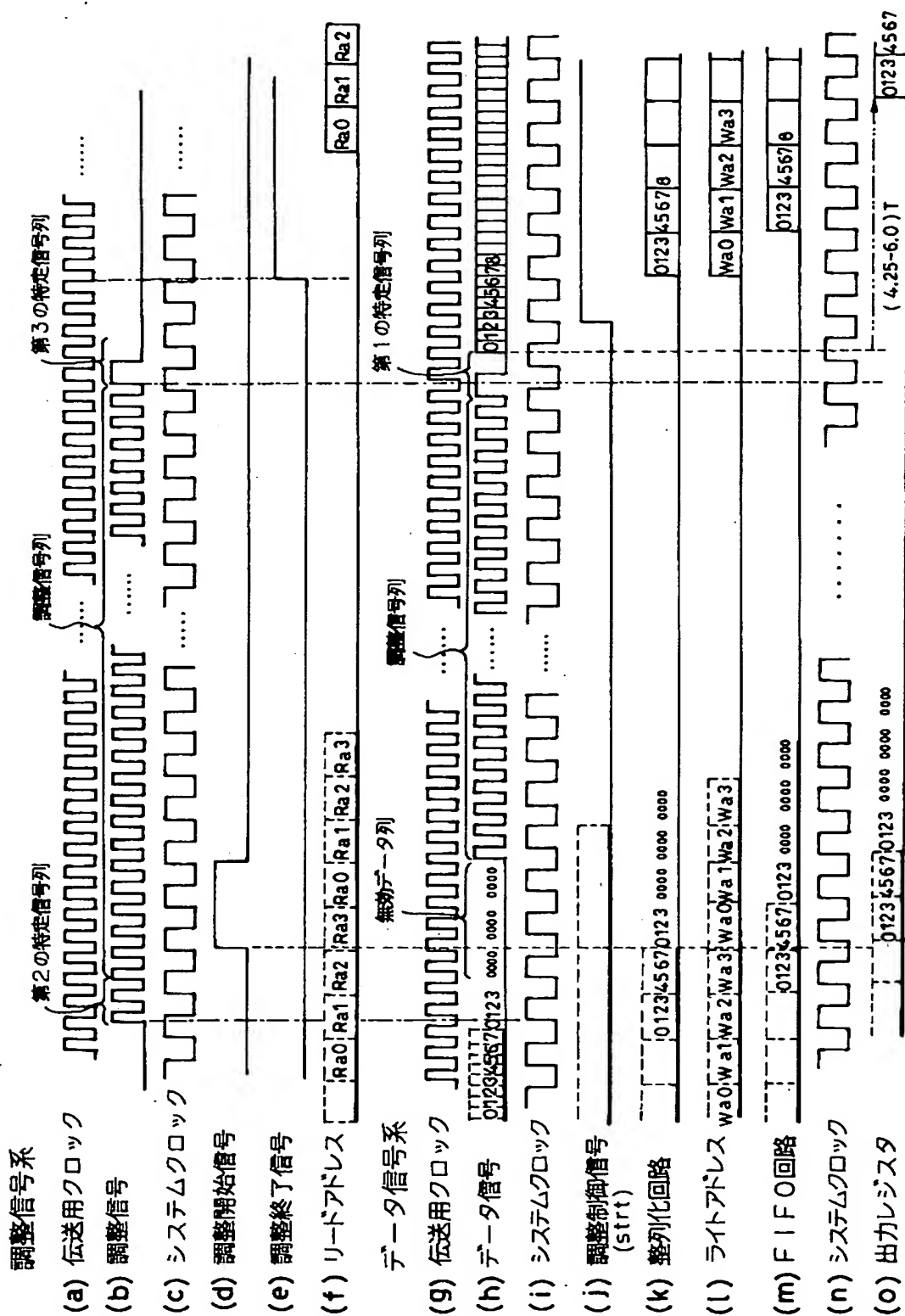
【図 11】



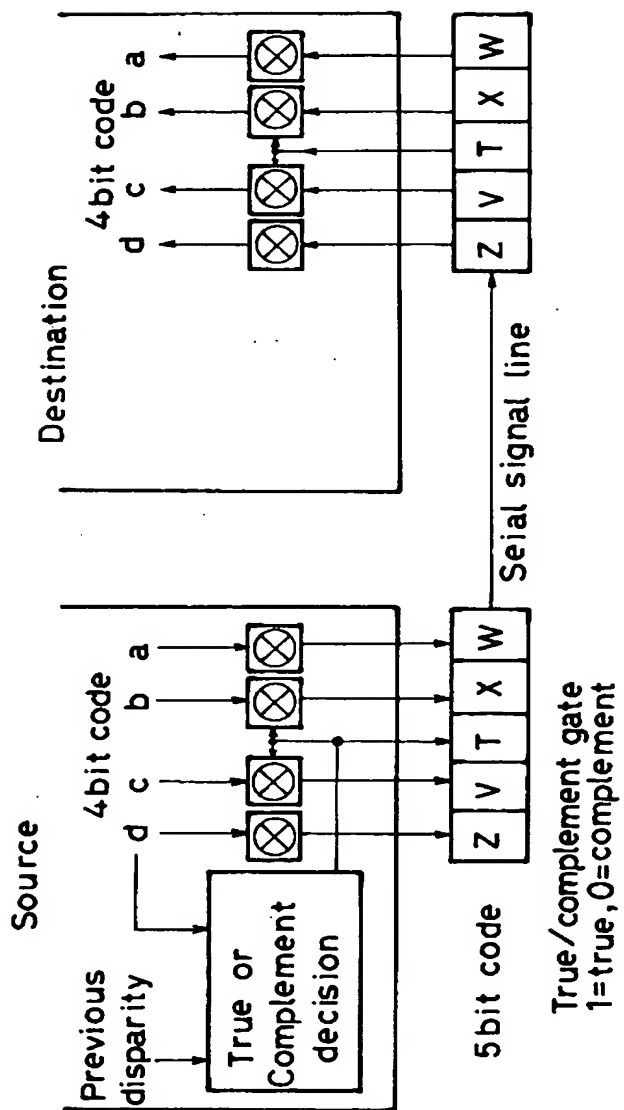
【図 1 2】



【図 13】



【図 1 4】



【書類名】 要約書

【要約】

【課題】複数の伝送路を使用する高速伝送システムにおいて、データ信号をデータ変換せずに、高伝送効率、かつ低伝送用クロック周波数で大容量のデータ伝送を行う。

【解決手段】第1のトランスミッタ回路200、複数の伝送路800および受信側の第1のデータ処理回路600の他に、データ信号のサンプリングクロックのタイミングを調整するDLL回路620を調整させるために、第2のトランスミッタ回路300、伝送路900および第2のデータ処理回路700を設置し、第2の特定信号列が送出されたとき、第2のデータ処理回路700から調整開始信号を分配させ、調整信号列により、第1のデータ処理回路600のDLL回路620の調整を行わせ、データ信号に第1の特定信号列が検出された次のビットからデータをmアドレスnビットFIFO回路660に書き込み、同時に第2のデータ処理回路700にきた第3の特定信号列からシステムクロックに同期したリードアドレスを発生することによりデータの復元を行う。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2000-369354
受付番号	50001563505
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年12月 6日

<認定情報・付加情報>

【提出日】	平成12年12月 5日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社